



Faculté : SCIENCES DE L'INGENIEUR  
Département : ELECTROMECHANIQUE

Année 2008 / 2009

## THESE

Présentée en vue de l'obtention du diplôme de DOCTORAT

**INFLUENCE DU REGIME EXTREME DE FONCTIONNEMENT  
SUR LA DUREE DE VIE DES COMPOSANTS  
SEMI-CONDUCTEUR DE PUISSANCES**

Option

**ELECTROMECHANIQUE**

Par

**BOUGHRARA NARJES**

**DEVANT LE JURY**

**PRESIDENT : Mr DOGHMANE ABDELAZIZ Prof UNIVERSITE DE ANNABA**

**DIRECTEUR DE THESE : Mr HADDOUCHE ALI Prof UNIVERSITE DE ANNABA**

**EXAMINATEURS : Mr HEROUS LAZHAR MC UNIVERSITE DE ANNABA**  
**: Mr DIB DJALEL MC UNIVERSITE DE TEBESSA**  
**: Mr LABED DJAMEL MC UNIVERSITE DE CONSTANTINE**  
**: Mr KARA MOHAMED MC UNIVERSITE DE TEBESSA**

**MEMBRE INVITÉ : Mr LEFEBVRE STÉPHANE Prof UNIVERSITE Cnam-Paris**

**Septembre 2009**

## *Résumé*

Les travaux présentés dans cette thèse portent sur l'étude de la robustesse des transistors JFET-SiC en régime de court-circuit. Ces transistors JFET-SiC (JFET 1300V-2A et JFET 1200V-15A) développés par SiCED sont destinés à des applications aéronautiques et spatiales. Nous avons cherché à évaluer la tenue de ces transistors sous des conditions extrêmes : court-circuit et de températures élevées.

Ainsi, la première partie de cette thèse présente les tests expérimentaux réalisés durant lesquels nous avons cherché à évaluer le fonctionnement des transistors JFET en limiteurs de courant tout en supportant la tension et la température ambiante à la quel ils sont soumis.

Dans la deuxième partie, nous avons réalisés des essais destructifs pour desseller l'énergie qui peuvent dissiper pendant la phase de court-circuit. Afin de définir une aire de fonctionnement sans risque de défaillance en court-circuit.

Enfin, des travaux de modélisation électrothermique sont présentés afin de chercher à estimer la température du cristal pendant la phase de court-circuit et au moment de la défaillance. Pour cela nous avons cherché à relier le courant de saturation à la température, ce que nous avons pu faire sur une large gamme de température (25 à 500°C) en extrapolant des résultats de caractérisation obtenus à température élevée (350°C) à l'aide des travaux de modélisation thermique. Ces travaux montrent l'exceptionnelle robustesse des transistors JFET SiC en régime de court-circuit et de limitation de courant

## *Abstract*

The work presented in this thesis concerns the study of the robustness of the JFET-SiC transistors in mode of short-circuit. These transistors JFET-SiC (JFET 1300V-2A and JFET 1200V-15A) developed by SiCED are intended for aeronautical and space applications. We sought to evaluate the behavior of these transistors under extreme conditions short-circuit and high temperatures.

Thus, the first part of this thesis presents the experimental tests carried out during which we sought evaluated the operation of transistors JFET out of limiting device of current while supporting the tension and the room temperature to which they are subjected.

In the second part, we carried out destructive tests for unsaddled the energy which can dissipated during the phase of short-circuit. In order to define a surface of operation without default risk in short-circuits.

Lastly, work of thermoelectric modeling is presented in order to seek to estimate the temperature of the crystal during the phase of short-circuit and at the time of the failure. For that we sought to connect the current of saturation to the temperature, which we could do on a broad range of temperature (25 to 500°C) by extrapolating results of characterization obtained to high temperature (350°C) using work of thermal modeling. This work shows the exceptional robustness of transistors JFET SiC in mode of short-circuit and limitation of current

## ملخص

الأعمال التي عرضت في هذه الأطروحة تركز على دراسة متانة الترنزستورات JFET تحت نظام دارة قصيرة. هذه الترنزستورات (JFET 1200V - 15A و JFET 1300V - 2A) مصنوعة من طرف الشركة SiCED مصممة لاستخدامات في المجالات الفضائية و الملاحية الجوية. سعينا لتقييم سلوك الترنزستورات ظل هذه الظروف القاسية ، دارة قصيرة وارتفاع درجات الحرارة

وهكذا ، فإن الجزء الأول من هذه الرسالة يعرض التجارب التجريبية التي نفذت خلال سعينا لتقييم عمل الترنزستورات في الوقت الذي تدعم التوتر ودرجة الحرارة المقدمة إليهم . في الجزء الثاني ، قدمنا تجاربنا لاستخلاص الطاقة المدمرة التي يمكن أن تتبدد خلال دارة قصيرة. من أجل تحديد منطقة العمليات دون خطر .

وأخيرا تم عرض نماذج إلكترو ترميك لمحاولة تقدير درجة حرارة الكريستال خلال لحظة العطب. لهذه الغاية نسعى لربط بين تشبع التيار و درجة الحرارة ، على على مدى واسع من درجة الحرارة (25 الى 500 درجة مئوية) عن طريق استقراء نتائج وصف الحصول على درجة حرارة عالية (350 درجة مئوية) باستخدام نماذج حرارية. هذا العمل يدل على القوة الاستثنائية للتفسيرات JFET الترنزستورات في إطار الحد من شدة التيار

## *Remerciements*

*A mes chers parents et mes frères (Samir Hacen et Hocine, Fares, et le chouchou Mohamed)  
Ma sœur (baida) et mes adorables neveux spécialement (Samer et neserine)  
Ainsi que tous les gens que j'aime*

## Remerciements

*Cette thèse à été préparée en collaboration de l'institut d'électromécanique de l'université d'ANNABA et le laboratoire SATIE (systèmes et Applications des Technologies de l'Information et de l'Energie) à cachan, au sein de ces deux institutions j'ai pu achever ma thèse et d'acquérir une expérience très enrichissante scientifiquement et humainement.*

*Mes remerciements s'adressent en premier lieu à mes encadrants, Ali HADDOUCHE et Stéphane LEFEBVRE pour lesquels je présente ma profonde gratitude. Je les remercie pour leur encadrement, leur disponibilité et leur savoir faire scientifique qui m'ont aidé à réaliser les travaux présentés dans ce manuscrit et m'ont permis d'évoluer.*

*Je remercie M. Pascal Blzaback, directeur du Laboratoire, pour son accueil au sein de son équipe et pour la confiance qu'il m'a accordée.*

*Je remercie toute l'équipe du SATIE et du CNAM pour leur accueil chaleureux lors de mes passages pour réaliser mes travaux au court de ma thèse.*

*Je remercie les membres du jury d'avoir accepté de critiquer ce travail.*

*Enfin, je remercie ma famille pour leurs soutiens. Je remercie mes parents, sans qui je ne serais pas arrivé jusque là toute ces années et m'on soutenu sans relâche jusqu'au bout.*

## Liste des figures

### Chapitre I :

Fig I.1: Représentation du courant de court-circuit présumé et limité

Fig I.2: Schéma de principe pour l'étude d'un circuit en défaut

Fig I.3 : forme d'onde associée à la limitation d'un courant de court-circuit

Fig I.4: Exemple d'application des composants types SMART Power

Fig I.5: Section transversale de la structure de limitation de courant basée sur un ACCUMOSFET SiC

Fig I.6 : Section transversale de la structure d'un limiteur de courant réalisé à partir d'un transistor VJFET SiC

Fig I.7 : Caractéristiques électriques I(V) mesurées pour différentes valeurs de tension de grille sur un limiteur de courant JFET

Fig I.8 : Caractéristique I(V) mesurée pour une configuration « bidirectionnelle » sur des structures élémentaires sans polarisation des électrodes de grille.

Fig I.9 : Réponse du composant limiteur de courant à un court-circuit

Fig I.10 : Caractéristique I(V) d'un limiteur mesuré en température

Fig I.11 : Caractéristique I(V) direct du limiteur à différentes températures de fonctionnement de (25 °C à 300 °C),  $V_{DS}$  (0 à 50 V)

Fig I.12 : Caractéristique I(V) relevée sur un traceur de caractéristiques (mise en évidence de l'auto-échauffement)

Fig I.13 : Principe de la méthode Lely modifiée et architecture du réacteur associé

Fig I.14 : Performances des composants de puissance en SiC

Fig I.15 : Structure de base du SiC

Fig I.16 : Séquences d'empilement des principaux poly-types de SiC

Fig I.17: Concentration intrinsèque des porteurs pour différents semi-conducteurs en fonction de la température

Fig.I.18 : Température maximale de fonctionnement fonction de la tension de claquage pour différents matériaux

Fig I.19 : Etude comparative entre le silicium et le carbure de silicium en fonction de l'épaisseur de la zone épitaxiale

Fig I.20 : Champ électrique critique pour différents semi-conducteurs

Fig I.21 : Résistance spécifique optimale à l'état passant fonction de la tension de claquage

Fig I.22 : Conductivité thermique de différents matériaux semi-conducteurs

Fig I.23 : Comparaison des différents matériaux semi-conducteurs d'après les facteurs de mérite JFM et CFM

Fig I.24 : Exemple de structure en coupe d'un composant semi-conducteur de puissance

Fig I.25 : Schéma d'un four CVD horizontal pour croissance de couche épitaxie SiC

Fig I.26 : Evolution de la taille des wafer en carbure de silicium avec la date d'apparition en développement

Fig I.27 : Evolution de la densité des micropores et de la taille des plaquettes de SiC (en mm) au cours des dix dernières années

Fig I.28: Influence de la densité de dislocations sur la tenue en tension de diode Schottky

Tab I.2 : Caractéristiques de composants SiC réalisés

Fig I.29: Tensions de blocage accessibles pour des diodes de Schottky et des commutateurs unipolaires avec les semi-conducteurs comme paramètre

Fig I.30 : Coupe de la diode bipolaire en SiC-4H Protégée par MESA/JTE

Fig I.31 : Coupe de la diode schottky en SiC-4H

Fig I.32: Le comportement de diode 1200V standard et de 2<sup>nde</sup> génération à fort niveau de courant

Fig I.33 : Schéma de principe simplifié d'un transistor NPN vertical

Fig I.31 : Transistor bipolaire SiC-4H réalisé par

Fig I.32: Structure MOSFET Vertical en Si

Fig I.33 : LDMOSFET en SiC-4H

Fig I.34 : Transistor JFET SiC 1200V 15A

Fig : I.35 : Vue d'une puce dans un boîtier TO 220 ou TO247

Fig I.36 : Schéma de principe d'un JFET

Fig I.37: Exemple de caractéristique électrique statique d'un transistor JFET

Fig I.38 : Caractéristique électrique

Fig I.39 : Comportement simplifié d'un JFET, cas où  $V_{DS}$  est faible (zone ohmique)

Fig I.40 : Comportement simplifié d'un JFET, cas où  $V_{DS} < V_p$  (zone de coude)

Fig I.41 : Comportement simplifié d'un JFET, cas où  $V_{DS} > V_p$  (zone de saturation du courant)

Fig I.42: Augmentation de la résistance à l'état passant de transistors 600V unipolaires SiC-VJFET et COOLMOS Si- (150°C)

Fig I.43: caractéristique Si-MOSFET et SiC-JFET

Fig I.44: Evolution du courant de saturation des transistors JFET SiC

Fig I.45 : Caractéristiques d'un JFET-SiC à 225°C



Fig I.46: Stabilité en avalanche d'un transistor JFET-SiC pour une énergie dissipée de l'ordre de 500mJ

Fig I.47 : Structure interne d'un JFET vertical (SICED) (I) 4H-SiC avec grille en surface

Fig I.48 : Photographie et schéma de principe d'un cascode SiC distribué par INFINEON,  $V_{DS} \text{ max} > 1000\text{V}$ ,  $R_{DS-ON} < 1\Omega$ ,  $I_D = 2.5\text{A}$

Fig I.49 : Schéma d'un JFET en SiC -4H

Fig I.50 : JFET vertical en SiC-4H

Fig I.51 : JFET en SiC-4H

## Chapitre II

Fig II.1: Schéma de principe montrant la mise en court-circuit d'un transistor

Fig II.2: Court-circuit type I

Fig II.3: court-circuit type II

Fig II.4 : Différentes défaillances en mode de court-circuit

Fig II.5: Défaillance survenant peu de temps après l'apparition d'un régime de court-circuit mode A

Fig II.6 : Destruction directe d'un IGBT en court-circuit, sous  $V_{cc} = 405\text{V}$  et  $T_c = 25^\circ\text{C}$  (mode B)

Fig II.7 : Défaillance au blocage sur IGBT 1700 V mode C

Fig II.8 : défaillance retardée mode D

Fig II.9 : Circuit de test pour la caractérisation de composants sous test en régime d'avalanche

Fig II.10 : Test non destructif de tenue à l'avalanche d'un transistor CoolMOS SPW20N60C2, testé sous une énergie  $E = 0.85\text{ J}$  et à  $T_c = 125^\circ\text{C}$

Fig II.11 : Test destructif par l'avalanche d'un transistor CoolMOS SPW20N60C2, testé sous une énergie  $E = 0.92\text{ J}$  et à  $T_c = 125^\circ\text{C}$

Fig II.12 : Banc de test

Fig II.13: Oscilloscope Lecroy AP105 et les deux sondes de tension et de courant

Fig II.14 : Représentation du dispositif de chauffage des transistors sous test

Fig II.15 : Principe du dispositif de chauffage à air chaud

Fig II.16: Allure du courant de saturation en fonction du temps pour différentes tensions  $V_{ds}$  en régime de court-circuit, pour le JFET-SiC 2A-1300V

Fig II. 17 : Allure du courant de saturation en fonction du temps pour différentes tensions  $V_{ds}$  en régime de court-circuit

Fig II.18: Caractérisation en régime de limitation de courant, du JFET- SiC 1300V-2A tension d'alimentation  $U = 50\text{V}$ ,  $T$  variant de  $-70^\circ\text{C}$  à  $230^\circ\text{C}$

Fig II.19: Variation du courant de saturation en fonction de la température le JFET-SiC 1300V-2A tension d'alimentation  $U=50V$ ,  $T = -70^{\circ}C$  à  $230^{\circ}C$

Fig II.20 : Caractérisation en régime de limitation de courant, du transistor JFET- SiC 1200V-15A, tension d'alimentation  $U=50V$ ,  $T$  variant de  $-60^{\circ}C$  à  $220^{\circ}C$

Fig II.21: Variation du courant de saturation en fonction de la température JFET- SiC 1200V-15A tension d'alimentation  $U=50V$ ,  $T$  variant de  $-60^{\circ}C$  à  $220^{\circ}C$

Fig. II.22 : Allure du courant de saturation fonction de la température en régime de court-circuit, JFET- SiC 1300V-2A tension d'alimentation  $U=400V$ ,  $T$  variant de  $27^{\circ}C$  à  $400^{\circ}C$

Fig. II.23 : Allure du courant de saturation fonction de la température en régime de court-circuit, JFET- SiC 1200V-15A tension d'alimentation  $U=400V$ ,  $T$  variant de  $27^{\circ}C$  à  $350^{\circ}C$ .

Fig II.24: Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=400V$ ,  $T_{CASE}=25^{\circ}C$

Fig II.25 : Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=450V$ ,  $T_{CASE}=25^{\circ}C$

Fig II.26 : : Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=50V$ ,  $T_{CASE}=25^{\circ}C$

Fig II. 27: Essai destructif en limitation de courant, JFET-SiC 1200V-15A tension d'alimentation  $U=400V$ ,  $T_{CASE}=25^{\circ}C$

### **Chapitre III**

Fig III.1: Convection naturelle

FigIII.2 : Exemple d'**analyseur thermique modulaire ATD & DSC de haute performance (ambiante à  $2400^{\circ}C$ )**

FigIII.3 : Méthode flash-laser pour la mesure de la diffusivité thermique

Fig III.4: Chaleur spécifique d'un échantillon de LPS-SiC

Fig III.5: Chaleur spécifique mesurée du  $\alpha$ -SiC et  $\beta$ -SiC

Fig III.6 : Variation de la chaleur spécifique du SiC avec la température sur une large gamme de température

Fig III.7: Diffusivité thermique d'un échantillon LPS-SiC

Fig III.8 : Conductivité thermique d'un échantillon de LPS-SiC

Fig III.9: Conductivité thermique mesurée du  $\alpha$ -SiC et  $\beta$ -SiC

Fig III.10: Comparaison entre la conductivité thermique d'un cristal  $\beta$ -SiC parfait et un modèle en fonction de la température

Fig III.11 : Variation de la conductivité thermique du SiC avec la température sur une large gamme de température

Fig III.12: Effet de la température sur la conductivité thermique et la chaleur spécifique

Fig 13: Influence du maillage sur les résultats du modèle 3D sans Al, conductivité thermique et chaleur spécifique variable à  $T=25^{\circ}\text{C}$

Fig.14 : Influence du pas de temps sur les résultats du modèle 3D sans Al, conductivité thermique et chaleur spécifique variable à  $T=25^{\circ}\text{C}$

Fig III.15 : Modèle 3D du JFET-SiC

Fig III.16 : Epaisseur approximative des zones de drift et de substrat

Fig III.17: Conditions aux limites imposées sur la puce en SiC

Fig. III.18 : Calcul de la puissance dissipée ( $T_{\text{CASE}} = 50^{\circ}\text{C}$ )

Fig : III.19 : Comparaison entre modèle de la puissance dissipée et la puissance mesurée

Fig III.20: résultats de la simulation 3D dans le volume sans Al la conductivité thermique et la chaleur spécifique variable nombre d'éléments 70063, à  $T=25^{\circ}\text{C}$

Fig III.21 : Zoom sur la partie de la puce concerné par l'échauffement

Fig : III.22 : modèle unidimensionnel de la puce sans la couche d'aluminium avec la surface totale comme surface d'injection de puissance

Fig : III.23 : modèle unidimensionnel de la puce avec la couche d'aluminium

Fig III.24: Modèle thermique 1D simplifié

Fig III.25 Résultats de simulation thermique, évolution de la température dans la puce fonction de la durée de court-circuit (Modèle 1D avec Al et surface active  $S=4\text{mm}^2$ ,  $E = 400\text{V}$ ,  $T_{\text{CASE}} = 25^{\circ}\text{C}$ )

Fig 26: résultats de simulation 1D et 3D, Avec Al,  $S= 4\text{mm}^2$ , conductivité thermique et chaleur spécifique variable

Fig 27: résultats de simulation 1D et 3D, Sans Al,  $S= 4\text{mm}^2$ , conductivité thermique et chaleur spécifique variable

Fig III.28 : comparatif entre les résultats de simulation 1D (surface active ou surface totale prise comme surface d'injection de puissance) et 3D avec la surface active prise comme surface d'injection de puissance

Fig : III.29 : Résultats de simulation 1D en tenant compte des propriétés thermique du SiC  $\lambda$  et  $c_p$  constantes et variable

Fig III.30 : Résultats de la simulation 1D avec et sans la couche d'aluminium

Fig III.31 : Validation de la température du cristal calculée en fin de court-circuit pour une température ambiante de  $25^{\circ}\text{C}$

Fig III.32 : Tentative de validation du modèle thermique à partir des résultats de caractérisation électriques (Température simulée pour un court-circuit à température ambiante de 25°C et E = 400V)

Fig III.33 : Validation du modèle thermique puce 15A

FigIII. 34 : Validation du modèle thermique puce 2A

Fig III.35 : Courant de saturation en fonction de la température, JFET SiC 1200V-15A (E = 400V)

Fig III.36 : Courant de saturation en fonction de la température, JFET SiC 600V-2A (E = 400V)

Fig III. 37 : Courant de saturation avec la température modèle liée à l'influence de la mobilité des porteurs puce 1200V-15A

Fig.III.38 : Modélisation de la variation du courant de saturation avec la température (E = 400V) JFET SiC 1200V-15A

Fig.III.39 : Modélisation de la variation du courant de saturation avec la température (E = 400V) JFET SiC 600V-2A

Fig III.40 : Essai destructif en limitation de courant, JFET SiC , Estimation de la température max. dans la puce pendant la phase de court-circuit (JFET 1200V-15A), E = 400V TCASE = 25°C

Fig III.41 : Essai destructif en limitation de courant, JFET SiC , Estimation de la température max. dans la puce pendant la phase de court-circuit (JFET 600V-2A), E = 400V TCASE = 25°C

Fig III.42 : Modèle de la puce pour la simulation en temps long

Fig III.43 : Résultats de la simulation 3D du quart de la puce (Al, SiC, Cu, SnAg) la conductivité thermique et la chaleur spécifique variable nombre d'éléments 145078, à T=25°C pendant 600µs

FigIII.44 : Zoom sur la partie de la puce concerné par l'échauffement

Fig III.45: Résultats de simulation thermique, évolution de la température dans la puce fonction de la durée de court-circuit (Modèle 3D, E=400V, TCASE=25°)

FigIII.46 : Résultats de simulation 3D de la totalité de la puce après 600µs d'injection de puissance à T=25°C

Fig III.47 : Résultats de simulation 3D de la totalité de la puce après 600µs d'injection de puissance à T=25°C

## Liste des tableaux

### Chapitre I

Tab I.1 : Propriétés physiques de différents matériaux semi-conducteurs

### Chapitre II

Tableau II.1 : Caractéristiques des puces JFET SiC testées

Tabl II.2. Résultats d'essai destructif

### Chapitre III

Tableau III.1 Chaleur spécifique  $\alpha$ -SiC

Tableau III.2 Chaleur spécifique du  $\beta$ -SiC

Tableau III.3 Conductivité thermique du  $\alpha$ -SiC

Tableau III.4 Conductivité thermique du  $\beta$ -SiC

Tableau III.5 : Dimensions des puces testées

Tableau III.6 : variation des paramètres thermiques avec la température

Tableau III.7 : paramètres du modèle du courant de saturation fonction de la température

Tableau III.8 : Dimensions considérées pour le modèle 3D:

## Liste des symboles

E <sub>g</sub> : Largeur de la bande interdite.....	eV
N <sub>i</sub> : Concentration intrinsèque des porteurs .....	cm <sup>-3</sup>
N <sub>c</sub> : Bande de conduction.....	eV
N <sub>v</sub> : Bande de valence.....	eV
E <sub>c</sub> : champ électrique critique .....	V/cm
W <sub>B</sub> : largeur de la zone de charge et espace.....	μm
q : Charge d'électron.....	-1.602 x 10 <sup>-19</sup> C
V <sub>BR</sub> : Tension de claquage.....	V
μ <sub>n</sub> ; μ <sub>p</sub> : Mobilité des électrons et des trous .....	cm <sup>2</sup> /V.s
λ : Conductivité thermique.....	W/cm.K
V <sub>sat</sub> : Vitesse de saturation des porteurs.....	cm/s
N <sub>D</sub> : concentration de dopants .....	(Atomes).cm <sup>-3</sup>
ε <sub>0</sub> : Permittivité du vide.....	8.854 x 10 <sup>-12</sup> F.m <sup>-1</sup>
K : Constante de Boltzmann.....	1.381 x 10 <sup>-23</sup> J.K <sup>-1</sup>
V <sub>bi</sub> : Pentiel de diffusion de la jonction.....	V
V <sub>pi</sub> : Tension de pincement .....	V
V <sub>DSsat</sub> : Tension de saturation.....	V
I <sub>SAT max</sub> : Courant de saturation.....	A
I <sub>D</sub> : Courant drain.....	A
V <sub>DS</sub> : Tension drain source.....	V
V <sub>GS</sub> : Tension grille source .....	V
R <sub>ON</sub> : Résistance à l'état passant.....	Ω
E(J) : Énergie dissipée.....	J
T <sub>case</sub> : Température de la casse .....	K,(°C)
C <sub>p</sub> : Chaleur spécifique.....	(J.kg <sup>-1</sup> .K <sup>-1</sup> )

CHAPITRE: I

I.1.Introduction .....	22
I.2. Principe de limitation d'un appareillage de coupure.....	24
I.3. Dispositifs de protections, état de l'art .....	26
I.4. Historique du SiC .....	33
I.5. Caractéristiques du SiC .....	35
I.6. Propriétés physiques .....	37
I.6.1 Energie de Gap.....	37
I.6.2 Champ critique .....	38
I.6.3 Résistance spécifique.....	40
I.6.4 Conductivité thermique.....	41
I.6.5 Autres propriétés.....	41
I.6.6 Synthèse.....	42
I.7. Le carbure de silicium et sa technologie .....	44
I.7.1. L'épitaxie.....	44
I.7.2. L'oxydation .....	45
I.7.3. La gravure.....	46
I.7.4. Métallisation .....	46
I.7.5. La passivation .....	46
I.7.6. Dopage .....	47
I.7.7. Substrat .....	48
I.8. Exemples de réalisations .....	50
I.9. Performance des composants de puissance en SiC.....	51
I.9.1. La diode bipolaire .....	52
I.9.2. La diode Schottky.....	53
I.9.3. Les transistors bipolaires .....	54
I.9.4. Les transistors MOSFETS.....	56
I.9.5. Transistor JFET-SiC .....	59
I.9.5.1. Généralités.....	59
I.9.5.2. Comportement d'un JFET en régime de limitation de courant.....	62

I.9.5.2.1. Zone résistive .....	63
I.9.5.2.2. Zone de coude .....	64
I.9.5.2.3. Zone de saturation.....	64
I.9.5.2.4. Zone d'avalanche .....	65
I.9.5.3. Exemples de différentes structures de JFET-SiC .....	65
I.10. Conclusion.....	71
I.11. Bibliographie.....	72

---

**CHAPITRE: II**

---

II.1.Introduction.....	80
II.2.Etude bibliographique.....	80
II.2.1.Court-circuit .....	80
II.2.1.1.Introduction .....	80
II.2.1.2.Court-circuit de type I .....	81
II.2.1.2.1. Court-circuit de type II.....	82
II.2.1.2.2. Différents modes de défaillance en court-circuit .....	82
II.3.Phénomène d'avalanche.....	85
II.4. Description du banc de caractérisation pour l'étude du comportement des transistors JFET en régime de limitation de courant (court-circuit).....	87
II.4.1 : Banc électrique .....	87
II.4.2. Banc de contraintes thermiques.....	89
II.5 Résultats des essais.....	90
II.5.1 Caractérisations préliminaires.....	90
II.5.1.1 Variation du courant de saturation avec la tension d'alimentation .....	90
II.5.1.1.1. JFET-SiC 2A.....	90
II.5.1.1.2. JFET-SiC 15A.....	91
II.5.1.2 Variation du courant de saturation avec la température sous faible tension..	92
II.5.1.2.1. JFET-SiC 2A .....	93
II.5.1.2.2. JFET-SiC 15A.....	94
II.5.1.3 Variation du courant de saturation avec la température sous tension plus élevée..	95
II.5.1.3.1. JFET-SiC 2A .....	96
II.5.1.3.2. JFET-SiC 15A .....	96
II.5.2 Essais destructifs.....	97
II.5.2.1.JFET-SiC 2A .....	97



II.5.2.2.JFET 15A .....	99
II.6. Synthèse des résultats.....	100
II.7. Bibliographie.....	101

---

**CHAPITRE: III**

---

III.1 .Introduction .....	105
III.1.1. Equation de la chaleur.....	105
III.1.1.1. Echange convectif .....	107
III.1.1.2. Conduction de la chaleur.....	107
III.2. Propriétés thermique du SiC .....	110
III.2.1. chaleur spécifique.....	110
III.2.1.1. $\alpha$ -SiC.....	110
III.2.1.2. $\beta$ -SiC .....	111
III.2.1.3. Modèle de la chaleur spécifique .....	112
III.2.2. Conductivité thermique .....	113
III.2.2.1. $\alpha$ -SiC .....	113
III.2.2.2. $\beta$ -SiC .....	115
III.2.2.3. Modèle de la conductivité thermique.....	117
III.3. Modélisation thermique des puces .....	119
III.3.1. méthode des éléments finis.....	119
III.3.2. Maillage .....	121
III.4. Modèle tri- imensionnel simplifié.....	123
III.4.1 : Géométrie.....	123
III.4.2. Conditions aux limites.....	124
III.4.3. Résultats de simulation 3D.....	127
III.5. Modèle unidimensionnel .....	128
IV. Simulation thermique.....	130
IV.1. Résultats de simulation.....	130
IV.1.1. Résultats de simulation en 1D .....	130
IV.1.1.1. Choix de la surface de dissipation.....	133

IV.1.1.2. Prise en compte de l'effet de la température sur la conductivité thermique et la chaleur spécifique .....	134
IV.1.1.3. Prise en compte de la couche de métallisation d'aluminium.....	135
V. Analyse thermique de la phase de court-circuit.....	136
V.1. Estimation de la température maximale au moment de la destruction du composant.....	142
V.2. Résultats de simulation destructifs (temps long) en 3D .....	144
V.3. Conclusion.....	148
Bibliographie.....	151
Conclusion générale.....	155

## **Introduction générale :**

Dans le domaine de la protection des installations électriques contre les surcharges et les surintensités, les seuls moyens qui ont été utilisés sont les disjoncteurs électromagnétiques, les fusibles, les sectionneurs...etc. Mais la présence d'arc de haute énergie lors de la coupure entraîne en plus de l'usure des contacts de nombreux désagréments tels que le bruit.

Dans le domaine de l'aéronautique et le spatial la protection électrique requière l'introduction de dispositifs avec un pouvoir de coupure rapide et nécessitant un volume et poids réduit. Ces dispositifs sont sensés fonctionner dans des conditions environnementales sévères, en raison de l'environnement confiné et de la localisation de ces dispositifs à proximité des actionneurs à commander, la température ambiante peut être très élevée, ainsi la nécessité d'un pouvoir de dissipation d'énergie.

De manière générale, les dispositifs électroniques en silicium (Si) ont marqués leurs existences dans le domaine de la protection de l'aéronautique et le spatial. Ces disjoncteurs statiques à base de silicium pose l'inconvénient des pertes importante d'énergie ce qui abouti à un refroidissement coûteux.

Avec l'apparition du carbure de silicium (SiC) les composants électroniques ont pu connaître un air de développement important. Les performances de ces composants électroniques résultent des propriétés électriques du carbure de silicium : faible résistance à l'état passant, tension de claquage élevée et le fonctionnement à des températures élevées.

Les disjoncteurs statiques conçues en carbure de silicium doivent protéger ces installations aéronautiques tout en limitant le courant et supportant la puissance et la température à laquelle ils seront confronté.

Dans ce contexte, nous avons suivie une méthodologie nécessitant des essais expérimentaux sur des composants électroniques à base de carbure de silicium. Ces tests consistent à utiliser ces composants en carbure de silicium comme limiteur de courant dans des conditions extrêmes de court-circuit et de température élevées. Cela afin de tester la capacité et la robustesse de ces composants, leurs possibilités à fonctionner en limiteur de courant pendant le court-circuit. Ces tests consistent aussi à prouver leurs possibilité à supportés des températures élevées et définir ainsi une aire de fonctionnement sans risque de défaillance en court-circuit.

Dans notre étude nous nous sommes référés à une catégorie de composants en SiC, les transistors JFET-SiC qui sont des composants électroniques développés par la société Siced.

Nous avons ainsi cherché dans cette thèse à estimer la température atteinte lors du court-circuit et au moment de la défaillance, et cherché aussi un indicateur de température, et pouvoir le valider.

Ainsi après une présentation d'un état de l'art des disjoncteurs statiques à base de carbure de silicium, un historique sur le SiC a été présenté englobant les différentes caractéristiques, propriétés et technologies concernant le SiC.

Nous aborderons dans la fin du premier chapitre les performances des composants SiC par rapport au composant Si tensions de blocages élevés, des températures et puissance importantes.

Le deuxième chapitre est consacré à une campagne de tests qui décrivent la variation du courant de saturation avec la tension et la variation du courant de saturation avec la température pour les deux composants JFETs testés JFET-SiC 2A-1300V et le 15A-1200V. Cela pour des durées de court-circuit inférieures à 10 $\mu$ s tout en fonctionnant en limiteur de courant pour une tension d'alimentation de 400V et une température allant jusqu'à 400°C.

Dans cette campagne de test nous avons visé à utiliser ces composants JFETs-SiC en limiteur de courant pendant toute la phase de court-circuit tout en supportant la tension et la température à laquelle ils sont imposés. Ces résultats visent à montrer la robustesse des composants JFET-SiC.

En suite, des tests de destruction des deux composants à des temps longs ont été élaborés. Ces tests nous ont données une idée sur l'énergie dissipée pendant la phase de court-circuit pour les deux transistors et l'effet de la défaillance thermique sur ce type de composants.

Dans le troisième chapitre, nous nous sommes focalisés sur certaines notions de modélisation thermique et de modèle des propriétés thermiques du carbure de silicium qui seront utilisés par la suite comme base dans la modélisation thermique de la puce.

Dans cette partie nous nous sommes basés sur les résultats expérimentaux pour chercher un indicateur de température et la possibilité de le valider à des températures élevées. Cela dans le but de suivre l'évolution de la température de la puce au cours du temps pour les deux

composants JFETs pendant la phase de court-circuit. Et de permettre notamment d'estimer la température maximale en fin de régime de court-circuit.

Une étude numérique effectuée sous des conditions de température et de puissance similaire à celles imposées dans la partie expérimentale a permis de lier le courant de saturation avec la température de la puce.

En fin à l'aide de cette étude numérique nous avons pu déterminer la température de la puce au moment de la défaillance. Ces résultats ont menés à définir une aire de fonctionnement sans risque de défaillance en court-circuit.

# **CHAPITRE I**

## **Etat de l'art de la filière SiC pour la protection des réseaux**

## **I.1.Introduction :**

Pour protéger une installation électrique ou les personnes qui l'utilisent, il faut pouvoir détecter les défauts pouvant apparaître et qui peuvent nuire de façon importante au bon fonctionnement de l'installation, et les neutraliser. Le plus souvent pour les courts-circuits, la protection consiste à ouvrir le courant dans le circuit incriminé. Parmi les principaux défauts, on peut noter : les surcharges en courant, les court-circuits, et les surtensions.

Les surcharges proviennent d'une charge qui appelle une puissance trop importante sur la ligne d'alimentation. Ceci se traduit par un courant excessif dans l'installation. Il en résulte une augmentation excessive de la température des conducteurs, au-delà des limites normales de fonctionnement. L'échauffement des conducteurs est problématique pour les isolants dont la durée de vie dépend fortement de la température, et dont l'usure est accélérée après une phase d'échauffement excessif.

Le court-circuit résulte de la mise en contact de deux conducteurs portés à des potentiels différents. Ceci provoque une brutale augmentation du courant limitée uniquement par l'impédance amont du réseau.

Les défauts de surtension sont généralement d'origine inductive (ouverture du courant dans un circuit inductif). La foudre est également à considérer.

Le court-circuit est souvent dû à une défaillance électrique importante comme la rupture d'un isolant, la chute d'un objet sur des barres ou la défaillance d'un semi-conducteur.

Il en résulte un courant de défaut dont la valeur efficace est très élevée (typiquement supérieur à 10 fois la valeur du courant nominal de l'installation). L'échauffement des conducteurs est rapide et les dégâts dans l'installation peuvent se produire en quelques ms seulement si l'installation n'est pas efficacement protégée.

Cet effet thermique extrêmement rapide ne peut pas être caractérisé par la valeur efficace du courant présumé de défaut comme c'est le cas pour les surcharges, car il dépend de la forme de l'onde de courant.

Dans ce cas le dispositif de protection doit limiter l'énergie associée au défaut. L'énergie de défaut est liée à la grandeur  $I^2t$  qui est une caractéristique de l'énergie thermique fournie à chaque ohm du circuit par le courant de court-circuit pendant un temps « t ».

Cependant la protection contre les courts-circuits impose également une condition supplémentaire qui est la limitation du courant crête autorisé dans l'installation. En effet les forces électromagnétiques appliquées aux conducteurs sont proportionnelles au carré de la valeur instantanée du courant et peuvent produire des dégâts mécaniques irréversibles aux équipements si les courants de court-circuit ne sont pas « limités » très rapidement. Les contacts de sectionneurs, contacteurs, et même de disjoncteur peuvent ainsi se souder si l'intensité crête passant dans le circuit de défaut n'est pas limitée à une valeur suffisamment faible.

D'autre part, la fusion de certains conducteurs et/ou de certaines parties de composants peut être à l'origine d'incendies avec risque de destruction de l'installation et risque pour les personnes.

Le pouvoir de limitation en courant d'un appareil de protection est illustré à la figure ci-dessous. Elle montre le courant de court-circuit présumé (courant qui circule en l'absence de protection) et le courant crête réel limité.

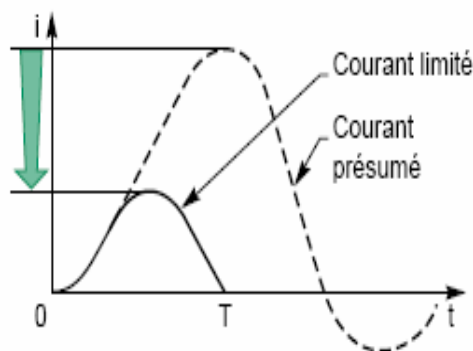


Fig I.1: Représentation du courant de court-circuit présumé et limité [1]

Un dispositif est limiteur lorsque le courant qu'il laisse passer pendant une phase de court-circuit, est nettement inférieur en amplitude au courant présumé de court-circuit.



## I.2. Principe de limitation d'un appareillage de coupure :

Les figures I.2 et I.3, illustrent le principe des appareillages limiteurs. Une source de tension sinusoïdale de fréquence 50 Hz alimente une charge. R et L désignent la résistance et l'inductance de la ligne, Z est la charge de la ligne.

Le dispositif limiteur est symbolisé par l'organe A. Nous nous intéressons plus particulièrement à la phase de protection pendant laquelle l'appareillage de protection intervient afin de limiter le courant de défaut.

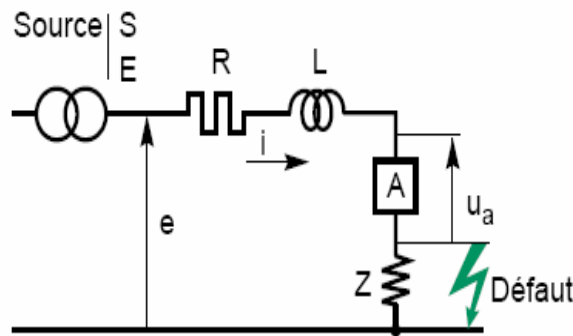


Fig I.2: Schéma de principe pour l'étude d'un circuit en défaut [1]

Pour pouvoir limiter et annuler le courant de défaut il faut impérativement que l'appareillage de protection fasse apparaître à ses bornes une force contre-électromotrice qui s'opposera au passage du courant principal. On note  $u_a$  cette tension.

On déduit de la fig. I.2 l'équation suivante :

$$e = ri + \frac{ldi}{dt} + u_a \quad (\text{I-1})$$

Si la ligne est de nature principalement inductive, alors :

$$ri \ll \frac{ldi}{dt} \quad (\text{I-2})$$

D'où :

$$e = \frac{ldi}{dt} + u_a \quad ; \text{ et} \quad (\text{I-3})$$

$$\frac{di}{dt} = \frac{e - u_a}{l} \quad ; \quad (\text{I-4})$$

Lorsque le courant limité atteint sa valeur crête, donc lorsque

$\frac{di}{dt} = 0$  ; la tension  $u_a$  qui s'est développée aux bornes de l'appareillage de protection est égale à la tension  $e$  de la source.

On constate ainsi que la limitation de courant est d'autant plus facile à réaliser que la tension  $e$  du réseau est faible.

La figure suivante décrit à titre d'exemple l'évolution de la tension aux bornes de l'appareillage de protection pendant une phase de court-circuit. Les courbes montrent que pour obtenir une limitation correcte (courant max bien inférieur au courant présumé de court-circuit), il est indispensable que la tension  $u_a$  atteigne la tension  $e$  (point P de la figure) bien avant le maximum du courant présumé (donc en moins de 5ms à 50 Hz). Il faut ainsi que la tension  $u_a$  se développe le plus rapidement possible.

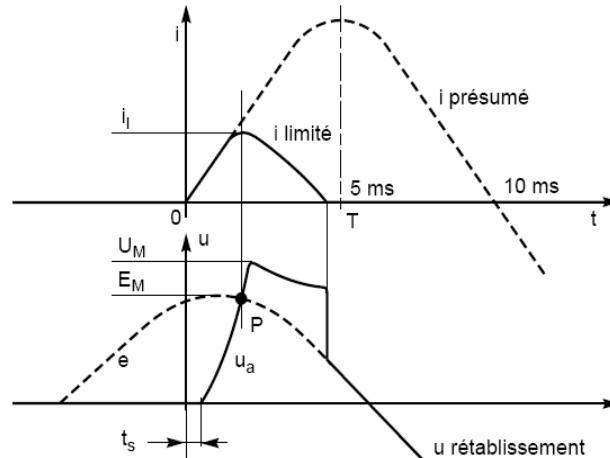


Fig 1.3 : forme d'onde associée à la limitation d'un courant de court-circuit [1]

Enfin, pour obtenir une décroissance du courant de court-circuit, il faut que la tension maximale  $U_M$  apparaissant aux bornes de l'appareillage de protection soit supérieure à la tension maximale  $E_M$  de la source.

En résumé, les trois conditions à respecter par l'appareillage de protection pour une limitation correcte sont :

- faire apparaître rapidement une tension qui doit être supérieure à la tension max. du réseau (plus le temps d'intervention d'un appareillage de protection est faible plus celui-ci est en mesure d'interrompre des courts-circuits importants),
- pouvoir supporter la tension
- pouvoir dissiper l'énergie résultante (l'appareillage de coupure est appelé à dissiper l'énergie emmagasinée dans les inductances du réseau et celle fournie par le réseau durant la coupure).

### **I.3. Dispositifs de protections, état de l'art :**

Pour des applications telles que l'aéronautique ou le spatial, la protection des équipements électriques n'est pas réalisable par des moyens classiques de protection tel que les fusibles et les disjoncteurs. Ces applications requièrent des moyens de protection commandable à distance, présentant des volumes et poids réduits ainsi qu'un temps d'intervention faible comme les disjoncteurs statiques.

Les appareils électromécaniques actuels bénéficient de plusieurs décennies d'évolution technologique et sont devenus particulièrement fiables et performants. Mais la présence d'arc de haute énergie lors de la coupure entraîne en plus de l'usure des contacts de nombreux désagréments tels que le bruit.

Vers les années 1970, de nombreuses investigations ont été menées sur des composants de l'électronique de puissance pour remplacer ou du moins assister le disjoncteur électromécanique. En effet, la commutation du courant dans les semi-conducteurs est extrêmement brève vis-à-vis de la mise en mouvement des pièces mécaniques, ce qui peut permettre de concevoir un disjoncteur statique avec un très bon pouvoir de limitation du courant.

On parle de « disjoncteur statique » lorsque le contact mobile constituant le disjoncteur électromécanique est entièrement remplacé par un dispositif à base de semi-conducteurs. L'utilisation de disjoncteurs statique réduit considérablement le temps d'ouverture et peut donc permettre d'augmenter le pouvoir de limitation de l'appareil.

Un contrôle précis des paramètres de la coupure (durée de coupure, énergie dissipée, valeur crête du courant limité) est facilement réalisable. L'absence d'arc et de pièces mécaniques mobiles augmente la durée de vie de l'appareil et en réduit la maintenance. Enfin, l'absence d'arc électrique permet également de confiner l'appareil dans un volume global plus réduit les nuisances sonores sont également éliminées.

Ces nombreux avantages suscitent l'intérêt de l'électronique de puissance dans le domaine de la protection des installations électriques.

Parmi les travaux qui ont été réalisés sur ce sujet on peut citer à titre d'exemple les travaux de S.Lacroix [2.] sur l'hybridation d'un contacteur-disjoncteur statique installé dans un réseau continu de 300V appelé à interrompre un courant de 80A. Les travaux effectués à l'école centrale de Lyon par G.Clerc [3] concernent la réalisation d'un interrupteur commandé en tension susceptible d'interrompre un courant de 25A dans un réseau de 1000V. Un autre travail présenté par C.Raulet [4] utilisant la mise en série de composants MOS a permis d'interrompre un courant de 15A sous 2000V. J. Le Ponner [5] propose l'étude et la réalisation d'un contacteur-disjoncteur statique à l'aide de transistors bipolaires. G.De.Palma [6] a présenté une étude et la réalisation d'un disjoncteur statique limiteur protégeant le réseau alternatif 660V/100A et P. Larguier [7], l'étude et la réalisation d'un disjoncteur statique triphasé à base de thyristor GTO. Enfin X.Tian [8] qui décrit l'état de l'art actuelle des interrupteurs statiques.

L'utilisation généralisée du disjoncteur statique en silicium n'est cependant pas encore de mise dans de nombreux domaines d'applications. La raison principale vient des propriétés non idéales des composants de puissances disponibles. Un appareillage de protection doit présenter une très faible chute de tension à l'état passant, une tension de blocage élevée, ainsi qu'un courant commutable élevé. Une faible énergie de commande est également souhaitée. Il faut également que le disjoncteur statique soit capable d'établir et d'interrompre un courant aussi bien positif que négatif.

La chute de tension à l'état passant des composants à base de silicium du commerce s'élève à plusieurs volts lorsque le courant est élevé (ordre de grandeur : 3V à 1500A pour un IGBT 3.3kV, et 1.7 V environ à 1500A pour un GTO de même calibre soit respectivement 4500 W et 2500 W de perte à l'état passant). Ces niveaux de perte sont totalement inacceptables pour des disjoncteurs, et nécessiteraient ici un système de refroidissement coûteux et volumineux afin d'évacuer efficacement les pertes. Par contre, pour des applications base tension, des composants unipolaires peuvent présenter des chutes de tension extrêmement faibles. Cela explique l'intérêt des composants de type SMART Power (à base de transistors MOSFET) pour les applications automobiles, et notamment pour la protection des réseaux de bord (disjoncteur statique).

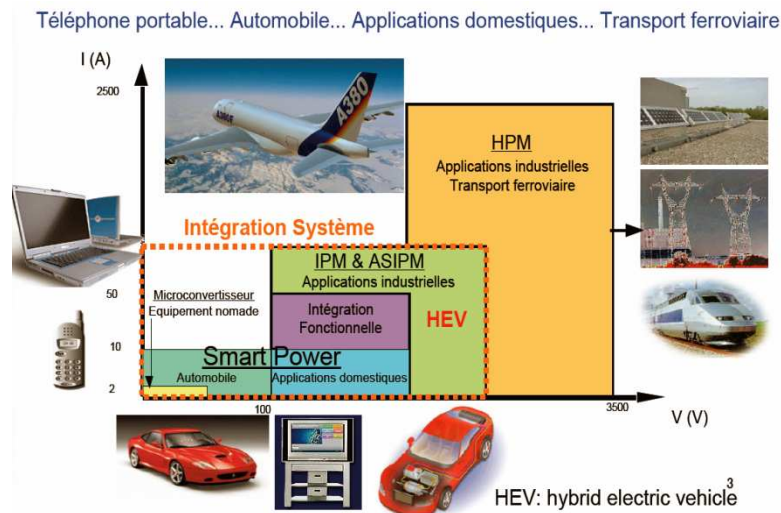


Fig 1.4: Exemple d'application de composants types SMART Power. [9]

Grace à ses propriétés électriques, le SiC doit permettre d'améliorer les performances de ces composants et leur permettre de satisfaire les exigences d'un limiteur de courant. Des structures de composants limiteurs de courant à base de SiC ont été proposées. Les composants réalisés ont démontré la capacité des dispositifs SiC à dissiper des pertes élevées [10,11].

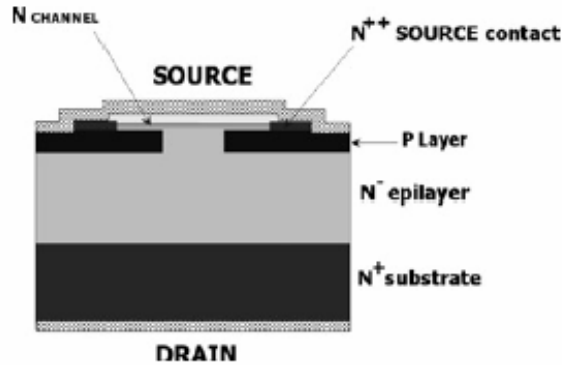


Fig I.5: Section transversale de la structure de limitation de courant basée sur un ACCUMOSFET SiC [12]

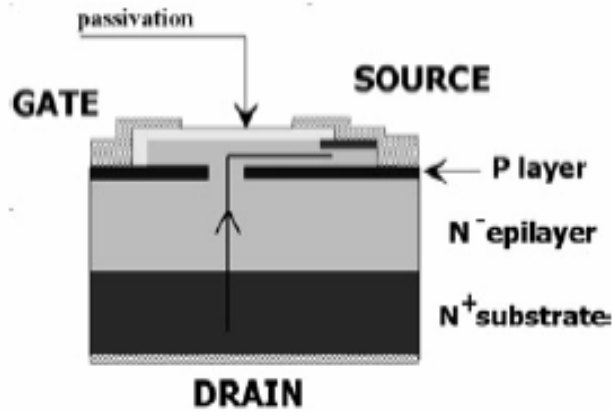


Fig I.6 : Section transversale de la structure d'un limiteur de courant réalisé à partir d'un transistor VJFET SiC [12]

Le transistor ACCMOSFET (à accumulation) de la figure I.5 présente une résistance à l'état passant  $13\text{m}\Omega.\text{cm}^2$  et commence à limiter le courant lorsque la tension à ses bornes excède 10V avec une densité de courant de l'ordre de 600 à 800A/cm<sup>2</sup> selon l'échauffement. Le composant a été évalué pour ces capacités de limitation de courant jusqu'à 400V de tension à ses bornes.

Le VJFET de la figure I.6 a montré de bonnes performances en limitation de courant avec une densité de courant de saturation supérieure à 200A/cm<sup>2</sup>, et un fonctionnement en limitation de courant évalué jusqu'à 800V.

Ces deux dispositifs issus de la littérature ont montré la capacité des composants SiC à fonctionner comme limiteur de courant.

De nombreux autres travaux ont été réalisés sur le sujet. On peut citer à titre d'exemple les travaux de D.Tournier [13] qui ont démontré la faisabilité d'un composant limiteur de courant SiC ( $I_N=32A$ ,  $V_{MAX}=690V$ ). Le composant développé était une structure unipolaire de type VJFET comportant une électrode de commande. Ce travail a permis de valider la fonctionnalité du limiteur de courant et l'aptitude à la tenue en tension ( $V_{BR\_MAX}=970V$ ).

Une densité de courant de l'ordre de  $300 A/cm^2$  à  $V_{DS} = 110 V$  a été mesurée (correspondant à un courant de 30mA), la valeur de la résistance spécifique est de  $38 m\Omega.cm^2$ .

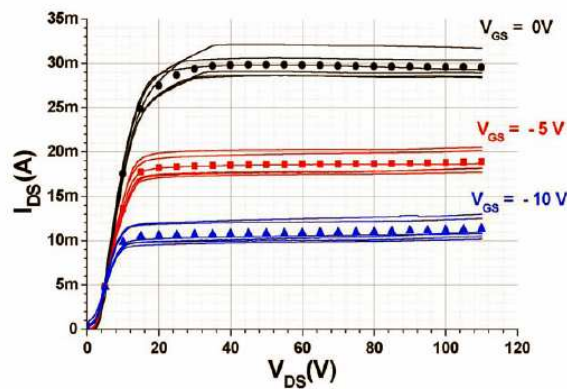


Fig I.7 : Caractéristiques électriques  $I(V)$  mesurées pour différentes valeurs de tension de grille sur un limiteur de courant JFET [13]

Des mesures en configuration « bidirectionnel » ont été également effectuées jusqu'à 400V démontrant la capacité du limiteur à fonctionner sur un réseau alternatif.

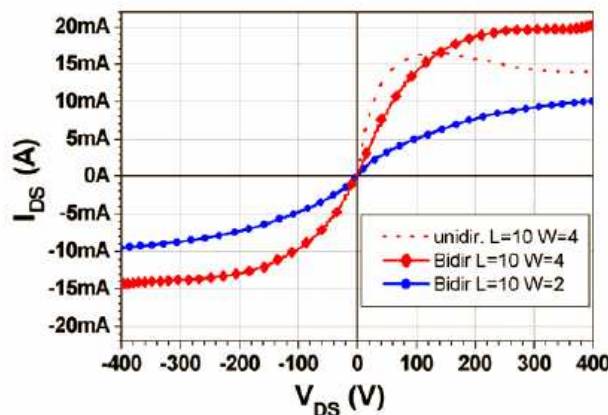


Fig I.8 : Caractéristique  $I(V)$  mesurée pour une configuration « bidirectionnelle » sur des structures élémentaires sans polarisation des électrodes de grille. [13]

La figure ci-dessous montre la capacité du composant à réagir rapidement en cas de court-circuit. L'évolution du  $dV/dt$  est entièrement contrôlée par le composant.

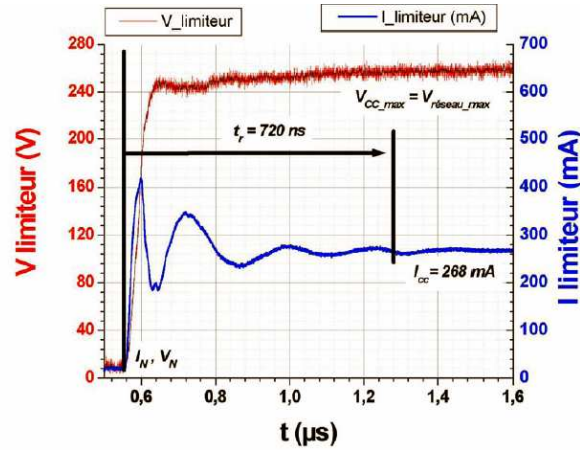


Fig I.9 : Réponse du composant limiteur de courant à un court-circuit [13]

Enfin, un dernier intérêt du composant développé est son aptitude à fonctionner à haute température (200°C ici). On constate toutefois une augmentation significative de la résistance à l'état passant avec la température.

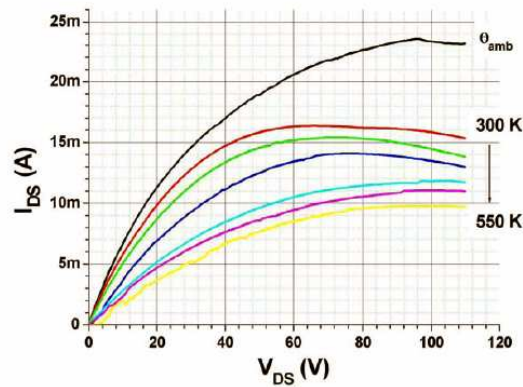


Fig I.10 : Caractéristique  $I(V)$  d'un limiteur mesuré en température [13]

On peut également citer les travaux de F.Nallet [14] qui concernaient la réalisation de dispositifs de protection série (JFET) en carbure de silicium SiC-4H. Il a notamment cherché à montrer l'influence des paramètres de conception sur le comportement électrique du composant que ce soit en régime statique ou en régime dynamique.



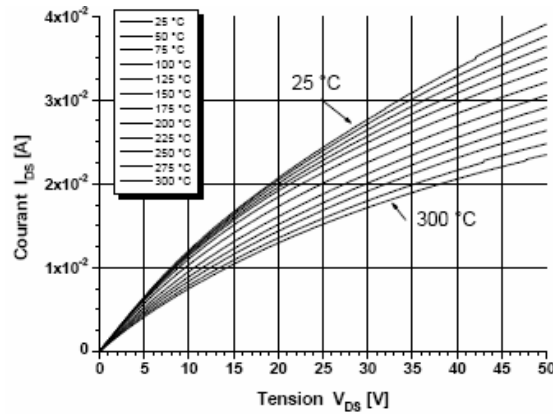


Fig I.11 : Caractéristique  $I(V)$  direct du limiteur à différentes températures de fonctionnement de (25 °C à 300 °C),  $V_{DS}$  (0 à 50 V) [14]

On peut remarquer l'aptitude du composant à fonctionner à des températures élevées jusqu'à 300°C. La faible résistance série spécifique était de  $15\text{m}\Omega\cdot\text{cm}^2$  pour une densité de courant de saturation de  $670\text{ A}\cdot\text{cm}^{-2}$  inférieure à celle donnée par le cahier de charge. La destruction du composant a été mise en évidence pour une puissance dissipée de l'ordre de  $37\text{ kW}\cdot\text{cm}^{-2}$ . Cette mesure confirme la capacité des composants en carbure de silicium à dissiper de fortes énergies.

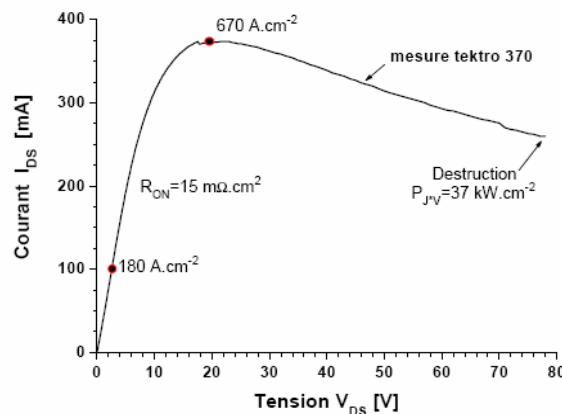


Fig I.12 : Caractéristique  $I(V)$  relevée sur un traceur de caractéristiques (mise en évidence de l'auto-échauffement) [14]

D'autres travaux entrent dans ce cadre de recherche sur les disjoncteurs statiques en carbure de silicium : N.Arssi [15] traite de la conception d'un thyristor 5kV pour assurer la génération d'impulsions de forte puissance, et P.Brosselard [16] de la conception, réalisation et caractérisation d'interrupteurs (thyristors et JFETs) haute tension (5kV) en carbure de silicium

Après avoir donné un état de l'art sur les réalisations de disjoncteurs statiques en SiC nous présenterons dans la suite les principales propriétés de ce matériau ainsi qu'un état de l'art détaillé sur les réalisations de composants de puissance en SiC, notamment ceux dont une utilisation en disjoncteur statique est envisageable.

#### **I.4. Historique du SiC :**

Le carbure du silicium a été découvert en 1824 accidentellement, lors d'une expérience de Berzillius [17], qui essayait de produire du diamant. En effet, le carbure de silicium n'existe pas à l'état naturel sur terre. Moisan [18] en a découvert des cristaux dans une météorite, (cristaux appelés moissanite par la suite par les minéralogistes).

Le premier procédé de fabrication industrielle du SiC date de 1891 et a été mis au point par Acheson [19]. Les premières exploitations se sont limitées à ses propriétés mécaniques exceptionnelles :

- dureté, pour la réalisation de couches abrasives, d'outils de coupe,
- résistance aux agents chimiques corrosifs, pour la réalisation de céramiques de revêtement.

Au début du siècle, en 1907, Round [20] découvre les propriétés électroluminescentes du SiC, ce qui en fait l'un des premiers semi-conducteurs connus. Mais son utilisation en tant que tel ne s'est pas développée, la raison principale étant la qualité médiocre des matériaux de base obtenue (obstacle technologique).

Il faut attendre les années 1950 pour retrouver une nouvelle période d'investigation, ce sont les secteurs du militaire et de l'aérospatiale qui ont à nouveau porté un intérêt au SiC. L'objectif était de développer des composants fonctionnant à haute température, à haute fréquence, et sous forte puissance en milieu hostile (température élevée, source de radiations...).

Ces intérêts, ont été amplifiés par des développements majeurs dans l'élaboration des substrats, point clé de la viabilité de la filière SiC. En 1955, Lely [21] a mis au point une méthode de fabrication de substrats relativement purs et présentant une faible densité de défauts.

La taille des cristaux est faible ( $0.5-1 \text{ cm}^2$ ) avec cependant une très bonne qualité cristalline. De la poudre SiC est intercalée entre deux parois de graphite dans un creuset. L'enceinte externe est chauffée à  $2500^\circ\text{C}$ , le SiC se sublime en atomes de Si,  $\text{SiC}_2$  et  $\text{Si}_2\text{C}$ , qui traversent le graphite poreux et se condensent sur la paroi interne du creuset. Le SiC formé est généralement hexagonal et il n'est pas possible de choisir le polytype.

De nombreuses équipes de recherches aux Etats-Unis, en Russie, en Allemagne et au Japon se lancent alors sur l'étude du SiC. La diminution de l'espoir d'accroître la taille des substrats conduisit, lors des années suivantes, à une baisse de l'intérêt porté au SiC et à l'abandon de l'activité, sauf en Russie. La mise au point de la technique Lely modifiée [22] appelée aussi sublimation ou Transport en Phase Vapeur (PVT) a relancé l'intérêt porté au SiC.

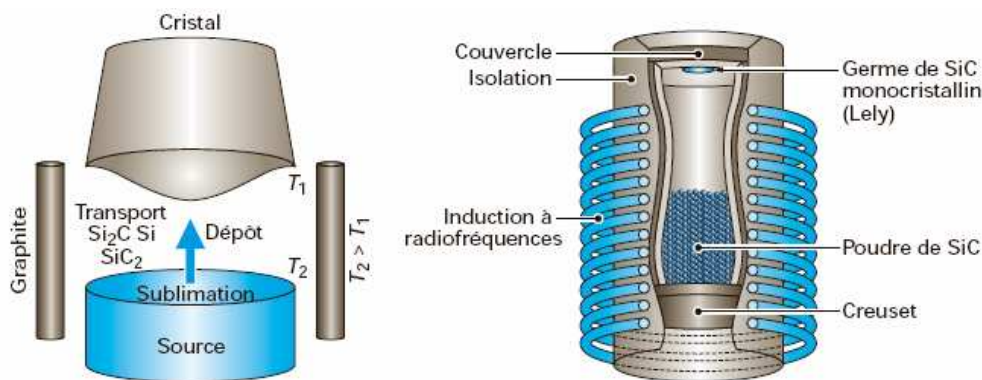


Fig I.13 : Principe de la méthode Lely modifiée et architecture du réacteur associé [23]

Cette méthode de croissance de substrats de SiC monocristallin autorise un contrôle du polytype de la couche déposée. Elle est moins bonne que celle de Lely pour la qualité des cristaux (micropores de diamètre  $0.1$  à  $3 \mu\text{m}$ ) mais offre l'avantage de pouvoir fournir des plaquettes beaucoup plus grandes. Des wafer de  $75 \text{ mm}$  de diamètre ont été annoncés par CREE [24] fin 1999. D'une façon générale, nous pouvons retenir les dates clés suivantes concernant l'évolution du SiC [13].

- 1824 : Découverte du carbure de silicium
- 1891 : Fabrication et utilisation industrielle,
- 1893 : Découverte des poly-types du SiC,
- 1907 : Propriétés d'électroluminescence,
- 1975 : Von Munch, réalise la première LED en SiC,

- 1981 : Gravure plasma, RIE, Méthode de Lely modifiée,
- 1987 : Fondation de Cree Research [24], principal revendeur de substrats
- 1991 : Plaquettes de SiC disponible commercialement (Cree Research),
- 1998 : Premiers composant de type MESFET,
- 2001 : Premier composant disponible sur le marché (diodes Schottky).

Pour la filière silicium, l'évolution du nombre de transistors par puce est un critère démontrant particulièrement la maturité de la filière sur le plan technologique. Un tel critère est difficilement applicable pour le carbure de silicium, dans la mesure où les étapes technologiques nécessaires à la fabrication d'un composant en carbure de silicium ne sont pas toutes matures. Il n'existe pas actuellement de lignes de production industrielle en nombre suffisamment important pour que l'on puisse comparer la maturité de la filière technologique avec celle du silicium.

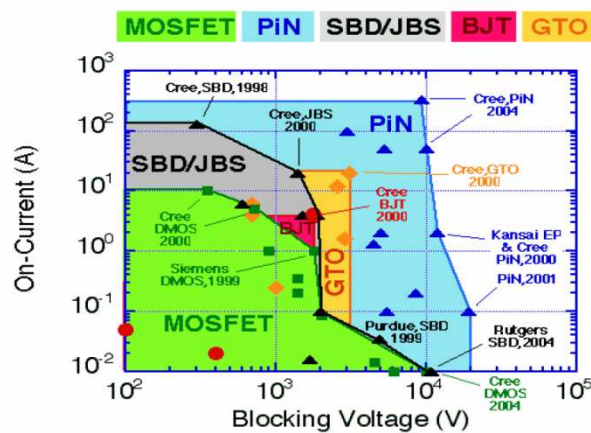


Fig I.14 : Performances des composants de puissance en SiC [16]

## I.5. Caractéristiques du SiC :

Le terme carbure de silicium (ou carborundum) est un terme générique qui recouvre toutes les formes de carbone et de silicium existantes en phase solide. La cellule de base est tétraédrique, composé de 4 atomes de silicium pour un atome de carbone.

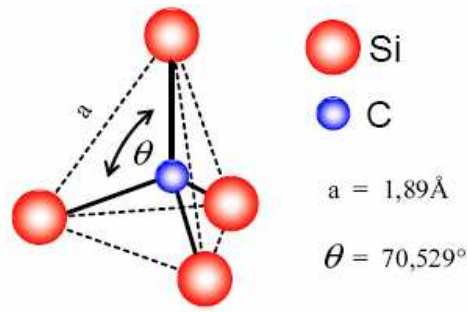


Fig I.15 : Structure de base du SiC [25]

En pratique, les structures cristallographiques sont classées selon trois familles : cubique composée par un seul polytype de structure zinc blende appelé  $\beta$ -SiC, hexagonale et rhomboédrique regroupées sous le terme générique  $\alpha$ -SiC. Il existe plusieurs dizaines de polytypes que l'on peut décrire en partant d'un empilement de N bicouches élémentaires de SiC constituant chacune un plan hexagonal compact. Les plus utilisés sont les polytypes 6H et 4H (H pour hexagonal), le 3C pour (C pour le cubique) et le 15R (R pour rhomboédrique). Cette nomenclature proposée par Ramsdell identifie chaque polytype en juxtaposant le nombre de plans cristallins compacts contenus dans une séquence et le type cristallographique. Le polytypisme du SiC résulte d'un double choix d'empilement des sphères (une sphère est la représentation simplifiée d'une liaison Si-C) d'un plan compact à l'autre. Trois positionnements sont alors possibles et sont référencés arbitrairement par A, B, C. La figure suivante illustre la position des atomes de silicium et de carbone pour divers polytypes tels que le 3C, le 4H et le 6H. Le seul polytype cubique répertorié est le SiC-3C.

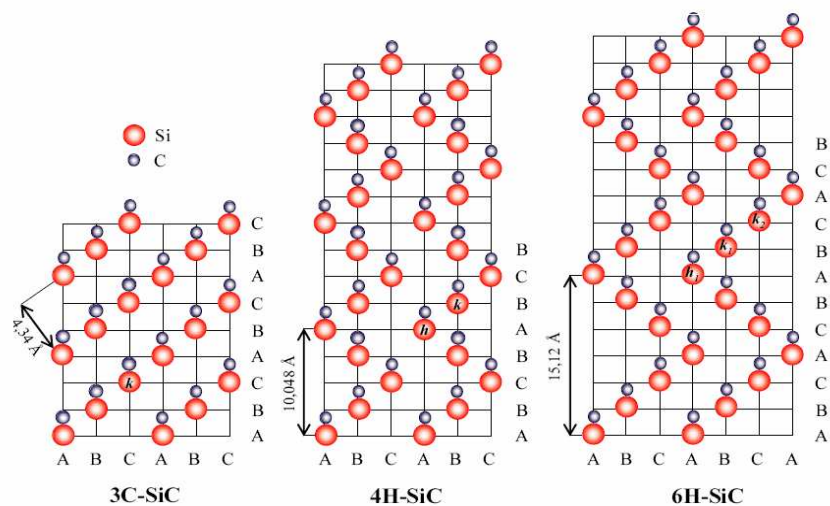


Fig I.16 : Séquences d'empilement des principaux poly-types de SiC [26]

## I.6. Propriétés physiques :

### I.6.1 Energie de Gap :

Le carbure de silicium possède des propriétés physiques qui le rendent attractif pour de nombreux domaines d'application :

C'est un matériau qui appartient à la classe des matériaux généralement désignés sous le nom de semi-conducteurs à grand Gap. Ceci signifie que la bande d'énergie interdite (ou Gap) entre la bande de valence et la bande de conduction est plus grand que pour le silicium. Il implique qu'il est moins probable que les électrons thermiquement excités franchissent le Gap.

Sa bande interdite  $E_g$  est supérieure à 2.3 eV, le nombre de porteurs intrinsèques est donc très faible par rapport au silicium ( $n_i = 2.3 \cdot 10^{-6} \text{ cm}^{-3}$  à 300K pour le SiC-6H).

La concentration en porteurs intrinsèques est déterminée par l'énergie de la bande interdite  $E_g$ , ainsi que par la densité effective de la bande de conduction  $N_c$  et de valence  $N_v$ . La concentration [13] en porteurs intrinsèques est définie par :

$$n_i^2 = N_c \cdot N_v \cdot \exp\left(-\frac{E_g(T)}{kT}\right) \quad ; \text{ Pour du SiC de type 4H.} \quad (\text{I-5) et (I-6)}$$

$$E_g(T) = 3.26 - 3.3 \cdot 10^{-4} (T - 300)$$

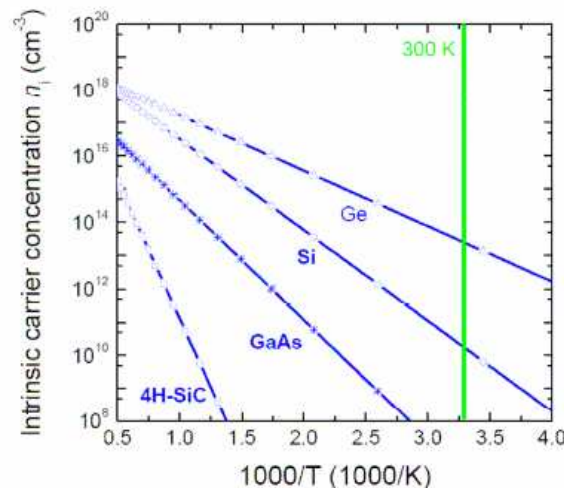


Fig I.17: Concentration intrinsèque des porteurs pour différents semi-conducteurs en fonction de la température [27]

La concentration intrinsèque augmente avec la température. Le problème principal survient lorsque la concentration intrinsèque dépasse le niveau de dopage de la région faiblement dopée de base qui assure la tenue en tension. Dans ce cas en effet, les types de dopage ne sont plus affirmés et le composant perd toute capacité de tenue en tension. La très faible concentration intrinsèque du SiC lui confère un faible courant de fuite même à température élevée. Ainsi, la température de fonctionnement maximale est élevée et peut être théoriquement supérieure à 1000°C pour des composants basse tension, alors qu'elle est limitée à environ 200°C pour le silicium comme illustré dans la figure I.18.

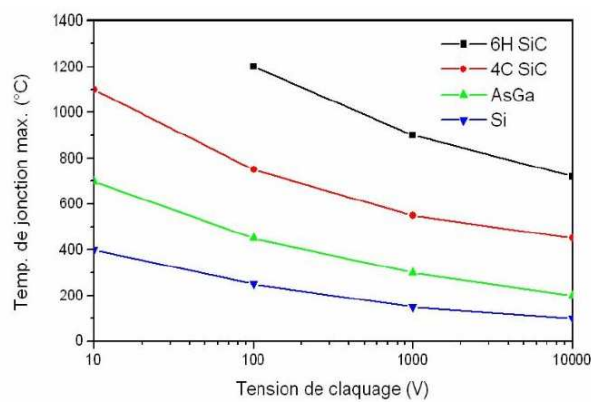


Fig.I.18 : Température maximale de fonctionnement fonction de la tension de claquage pour différents matériaux [28]

## I.6.2 Champ critique :

D'autre part, le SiC a un champ électrique critique  $E_c$  (2 à 3  $MV.cm^{-1}$ ) environ dix fois plus grand que celui du silicium. Dans le cas d'une jonction abrupte non tronquée, la tension de claquage s'exprime ainsi [29] :

$$V_{BR} = \frac{E_c \cdot W_B}{2} = \frac{q \cdot N_D}{2\epsilon} \cdot W_B^2 \quad (I-7)$$

Avec  $N_D$  le dopage de la région de base et  $W_B$  l'épaisseur de la zone de charge d'espace.

On constate ainsi que pour une même tension de claquage, si le champ critique est dix fois plus élevé pour le SiC que pour le Si, l'épaisseur de la région de base  $W_B$  pourra être choisie environ 10 fois plus mince que pour le silicium, et le dopage sera environ 100 fois plus élevé. Il en résulte une diminution très importante de la résistance spécifique voir équation (I-8). Cela permet donc d'améliorer le compromis chute de tension à l'état passant, tenue en tension.

La figure I.19 [30] compare les tensions de claquage de différentes réalisations de composants Si et SiC en fonction de l'épaisseur de la région de base assurant la tenue en tension.

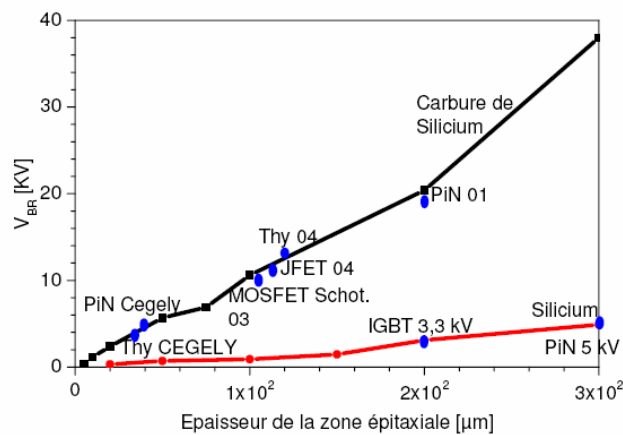


Fig I.19 : Etude comparative entre le silicium et le carbure de silicium en fonction de l'épaisseur de la zone épitaxiale [30]

Ainsi, la réalisation de composants unipolaires haute tension (de plusieurs kV) est envisageable avec des composants SiC, alors que ce type de composants (transistors MOS et diodes Schottky) étaient limités à des tensions de l'ordre de 200 V pour des composants silicium.

Il faut cependant prendre en compte la mobilité des électrons et la constante diélectrique inférieure dans le SiC, l'avantage en terme de résistance spécifique correspond à un rapport situé entre 300 et 800 en faveur du SiC selon notamment le polytype utilisé.



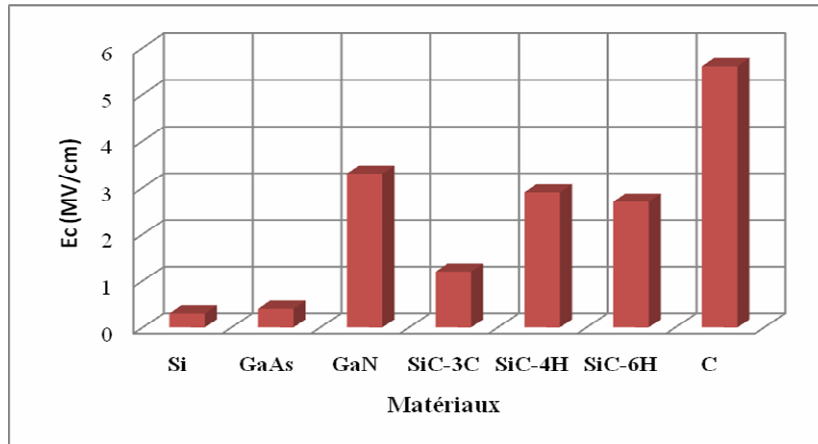


Fig I.20 : Champ électrique critique pour différents semi-conducteurs

### I.6.3 Résistance spécifique

La résistance spécifique à l'état passant d'un composant unipolaire de type N est donnée par la relation suivante [14].

$$R_{ON} = \frac{4V_{BR}^2}{\epsilon \cdot \mu_n \cdot E_C^3} \quad (I-8)$$

Il est ainsi possible de tracer la courbe de la résistance spécifique en fonction de la de la tension de claquage.

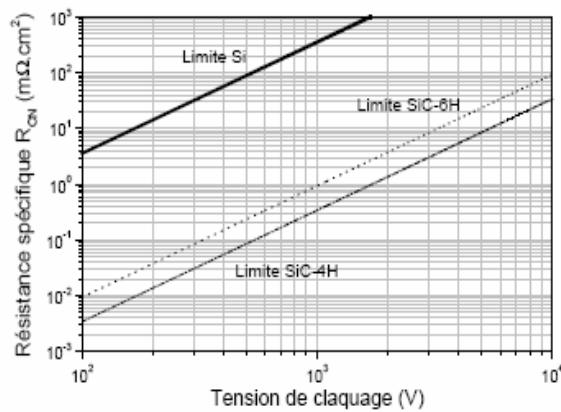


Fig I.21 : Résistance spécifique optimale à l'état passant fonction de la tension de claquage. [31]

Cette figure montre l'intérêt du SiC. Alors que la limite du silicium pour un composant unipolaire avec des pertes à l'état passant convenable se situe à quelques centaines de Volts, le SiC permet la réalisation de composants unipolaires de plusieurs dizaines de kV. De même pour une tension de claquage donnée, la résistance spécifique à l'état passant du SiC est plus faible de trois décades environ.

### I.6.4 Conductivité thermique

Un autre avantage considérable du SiC est lié à son excellente conductivité thermique (de l'ordre de  $4.9 \text{ Wcm}^{-1}\text{K}^{-1}$ ). La meilleure conductivité thermique du SiC limite l'élévation de température de la puce et autorise donc en principe des densités de puissance plus élevées que pour le silicium. La conductivité thermique ( $\lambda_{th}$ ) du SiC est proche de celle du cuivre ce qui en fait un candidat idéal pour des applications de très forte puissance dans le domaine de la traction, des protections de réseau électrique ou de la transmission et de la distribution d'énergie.

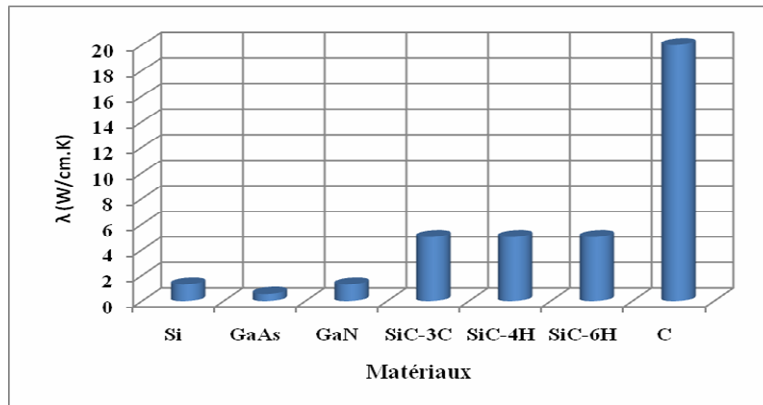


Fig I.22 : Conductivité thermique de différents matériaux semi-conducteurs

### I.6.5 Autres propriétés

Parmi les nombreux polytypes de SiC, le type 4H-SiC se caractérisent par une mobilité de porteurs élevée de l'ordre de  $800 \text{ cm}^2\text{V}^{-1}.\text{s}^{-1}$

La vitesse de saturation ( $V_{sat}$ ) des porteurs est environ deux fois supérieure à celle du silicium, ( $V_{sat}=0.8.10^7 \text{ cm.s}^{-1}$  pour le Silicium et  $V_{sat}=2.10^7 \text{ cm.s}^{-1}$  pour le 4H-SiC ). Cette propriété est largement utilisée pour les composants haute fréquence dans les applications de télécommunications.

Un autre avantage du carbure du silicium par rapport à d'autres matériaux et qu'il reste inerte aux réactions chimiques pour des températures inférieures à 1300°C, d'où une utilisation possible comme capteur dans des environnements sévères.

Le principal frein de la filière SiC est lié au manque de maîtrise de certaines étapes de fabrication d'un composant. Ces étapes sont notamment l'obtention de substrats avec de faible densité de défauts, le dopage, l'oxydation, la passivation et la réalisation de contacts.

### I.6.6 Synthèse

Dans le tableau suivant, nous rappelons quelques caractéristiques importantes des 3 polytypes de SiC avec à titre de comparaison, celle du silicium, du GaAs (arséniure de gallium), du GaN (nitrure de gallium), et du diamant.

On notera principalement la valeur élevée du champ de claquage, la valeur de la bande interdite, la conductivité thermique. Ce sont principalement ces propriétés qui font du SiC un excellent candidat pour la réalisation de composants de puissance.

Tab I.1 : Propriétés physiques de différents matériaux semi-conducteurs [32]

(I) gap direct, (D) gap indirect

Matériau	E <sub>g</sub> (eV)	n <sub>i</sub> à 300 K (cm <sup>-3</sup> )	ε <sub>r</sub>	μ <sub>n</sub> (cm <sup>2</sup> /V.s)	μ <sub>p</sub> (cm <sup>2</sup> /V.s)	E <sub>c</sub> (MV/cm)	V <sub>sat</sub> (10 <sup>7</sup> cm/s)	λ <sub>th</sub> (W/cm.K)
Si	1.12 (I)	1.5x10 <sup>10</sup>	11.8	1350	600	0.3	1	1.3
GaAs	1.4 (D)	1.8x10 <sup>6</sup>	12.8	8500	400	0.4	2	0.54
GaN	3.39 (D)	1.9x10 <sup>-10</sup>	9	900		3.3	2.5	1.3
SiC-3C	2.3 (I)	6.9	9.6	900	40	1.2	2	5
SiC-4H	3.2 (I)	8.2x10 <sup>-9</sup>	10	1000	115	2.9	2	5
SiC-6H	2.9 (I)	2.3x10 <sup>-6</sup>	9.7	380	70	2.7	2	5
C	5.6 (I)	1.6x10 <sup>-27</sup>	5.5	1900	1600	5.6	2.7	20

Un facteur de mérite permet de comparer différents matériaux semi-conducteurs à partir de ses propriétés physiques. A titre d'exemple, le facteur de mérite de Jonson prend en compte le champ électrique critique et la vitesse de saturation des porteurs. Sa valeur nous informe sur les capacités qu'a un matériau de fonctionner à haute fréquence et forte puissance. Le facteur de mérite de Jonson (JFM) est indiqué ci-dessous.

$$JFM = \left( \frac{E_c \cdot v_{sat}}{2\pi} \right)^2 \quad (I-9)$$

Avec  $v_{sat}$  la vitesse de saturation des porteurs et  $E_c$  le champ critique du matériau

Le facteur de mérite combiné (CFM) est un autre facteur de mérite qui intègre également la conductivité thermique et la mobilité des porteurs. Le CFM est indiqué ci-dessous

$$CFM = \lambda_{th} \cdot \epsilon \cdot \mu \cdot v_{sat} \cdot E_c^2 \quad (I-10)$$

Avec  $\lambda_{th}$  la conductivité thermique ( $W \cdot cm^{-1} \cdot K^{-1}$ ),  $\epsilon$  la permittivité diélectrique du matériau ( $F \cdot cm^{-1}$ ) et  $\mu$  la mobilité des porteurs ( $cm^2 V^{-1} \cdot s^{-1}$ )

La figure suivante compare différents matériaux semi-conducteurs à partir du facteur de mérite de Jonson, critère de choix du matériau pour des applications fortes puissance et haute fréquence [33].

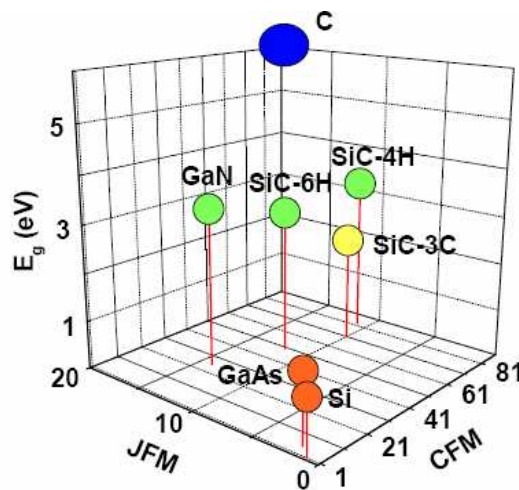


Fig I.23 : Comparaison des différents matériaux semi-conducteurs d'après les facteurs de mérite JFM et CFM [32].

On constate que le diamant ( C ) est très avantageux, cependant les étapes technologiques pour fabriquer des composants en diamant restent très difficiles à réaliser. Les matériaux GaN et SiC sont pour l'instant les meilleurs candidats potentiels pour remplacer le Si.

## I.7. Le carbure de silicium et sa technologie :

La figure ci dessous présente une structure simplifiée de transistor MOSFET latéral montrant différentes étapes technologiques indispensables dans la fabrication d'un composant.

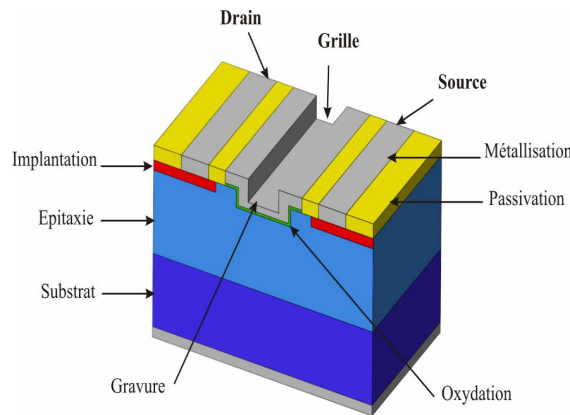


Fig I.24 : Exemple de structure en coupe d'un composant semi-conducteur de puissance

### I.7.1. L'épitaxie :

L'épitaxie est une étape technologique qui consiste à faire croître des couches de matériau (jusqu'à plusieurs dizaines de  $\mu\text{m}$  pour des composants de plusieurs kV). On cherchera l'uniformité du dopage et peu de défauts dans le but d'améliorer la mobilité des composants. Il existe plusieurs méthodes d'épitaxie, et on peut citer à titre d'exemple :

- CVD : dépôt chimique en phase vapeur à basse et haute pression [34]. La technique de dépôt CVD est la plus utilisée sur SiC. Le carbone et le silicium sont introduits, via un flux d' $\text{H}_2$  (gaz porteur), sous forme de  $\text{SiH}_4$  (Silane) et de  $\text{C}_3\text{H}_8$  (Propane) ou  $\text{CH}_4$  (Méthane). La croissance s'effectue dans une enceinte à haute température (comprise entre  $1300^\circ\text{C}$  et  $1600^\circ\text{C}$ ). La vitesse de croissance est de 2 à 5  $\mu\text{m}/\text{h}$ .

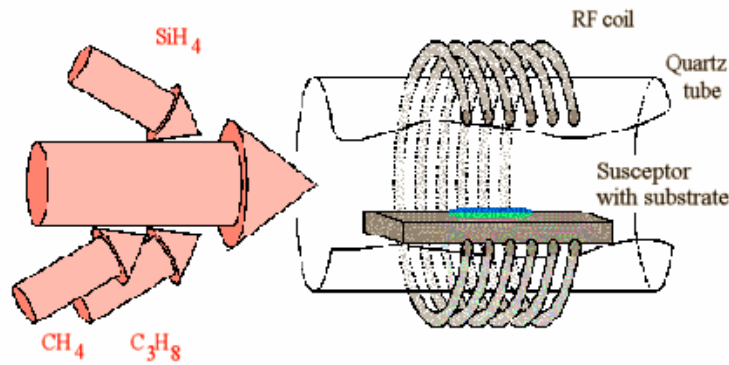


Fig I.25 : Schéma d'un four CVD horizontal pour croissance de couche épitaxie SiC [35]

- HTCVD : méthode de dépôt chimique en phase vapeur à haute température qui semble la meilleure pour obtenir des épitaxies épaisses, la température de croissance est de 1800-2300°C avec des vitesses de croissance élevées 1mm/h [36], et de qualité comparable aux couches obtenues par la technique CVD [37].

### I.7.2. L'oxydation :

La réalisation de couches isolantes est nécessaire pour la plupart des structures micro-électronique, le carbure de silicium dispose d'un atout majeur puisqu'il est le seul semi-conducteur à grand gap sur lequel il est possible de former de la silice (dioxyde de silicium  $\text{SiO}_2$  amorphe). Il s'oxyde à une température de 1200°C. Cet avantage est de taille lorsque l'on sait que les propriétés exceptionnelles de la silice sont l'une des principales raisons du succès du silicium pour l'électronique. Notamment, comme pour le Si, il est donc possible d'utiliser cet oxyde comme couche de passivation primaire du SiC. Par ailleurs, l'utilisation de la silice formée comme oxyde de grille autorise le développement de transistors MOSFETs de puissance, qui pourraient fonctionner dans des conditions extrêmes (forte puissance, haute fréquence et haute température). Cependant, la réussite d'une telle technologie passe avant tout par la maîtrise du procédé d'oxydation pour l'obtention d'une couche isolante de bonne qualité et surtout éviter la détérioration de cet oxyde en cours de fonctionnement. Ces dernières années des mobilités dans le canal de l'ordre de 30 à 50  $\text{cm}^2/\text{Vs}$  ont été rapportées.

### **I.7.3. La gravure :**

Il est nécessaire localement d'enlever du matériau (reprise de contact sur une couche enterrée, nettoyage de la surface du SiC). Il existe plusieurs méthodes de gravure : par voie humide et par voie sèche, cette dernière est en réalité une technique de gravure plasma dans laquelle interviennent à la fois les effets de bombardement par des ions et la réaction chimique. On la dénomme R.I.E. (Reactive Ion Etching). La gravure par voie humide se fait par attaque chimique en solution aqueuse (bain contenant de l'eau). Par exemple, l'oxyde de silicium est gravé par une solution partiellement diluée d'acide fluorhydrique (HF) tamponnée par du fluorure d'ammonium ( $\text{NH}_4\text{F}$ ) à haute température (supérieure à  $650^\circ\text{C}$ ).

### **I.7.4. Métallisation :**

La métallisation des contacts ohmiques doit être faiblement résistive et stable en température. Le gain en température que permet le SiC ne doit pas être limité par l'altération des propriétés des contacts. Des différents matériaux de contacts ohmiques sur SiC (nickel, aluminium, titane, tungstène, platine, rhénium, or, cuivre, palladium, ...), les plus utilisés sont le nickel et le tungstène sur du SiC de type N, l'aluminium et le titane sur type P. Les résistances spécifiques de contact obtenues sont d'environ  $10^{-6}$  à  $10^{-5} \Omega \cdot \text{cm}^2$  avec le nickel [38] et le tungstène [39] sur du 6H-SiC de type N dopé à  $10^{19} \text{cm}^{-3}$ . Pour le type P, on obtient entre  $10^{-5}$  et  $10^{-4} \Omega \cdot \text{cm}^2$  avec l'aluminium ou le titane [40] [41] sur du 6H-SiC ou du 4H-SiC dopé à  $10^{19} \text{cm}^{-3}$ .

### **I.7.5. La passivation :**

La stabilité des caractéristiques des dispositifs à semi-conducteurs, rend nécessaire la présence d'une couche isolante protectrice à leur surface. Elle est destinée à passiver les états de charges en surface du semi-conducteur, à protéger les parties actives des ruptures diélectriques par contournement du champ en surface, et à réduire l'effet des nuisances extérieures telles que les agressions mécaniques, l'humidité ou les contaminants, qui peuvent dégrader les caractéristiques électriques du composant.

Idéalement, le passivant doit avoir certaines propriétés :

- Etre un bon isolant avec un champ de rupture élevé, pour endurer de manière pérenne les contraintes à l'extérieur de la jonction.
- Pouvoir être déposée sous forme de films minces et homogènes (en composition et en épaisseur).
- Avoir une bonne adhérence avec le semi-conducteur ainsi qu'une constante de dilatation thermique proche de celle du semi-conducteur.
- Avoir une bonne tenue en température et garder stable ses propriétés électriques dans le temps.

Généralement, la passivation est formée d'une couche mince d'oxyde thermique  $\text{SiO}_2$  qui est produite à la surface du semi-conducteur ( $700^\circ\text{C} < T < 1200^\circ\text{C}$ ), suivie d'un dépôt plus épais de  $\text{SiO}_2$ , puis d'une couche de nitrure  $\text{Si}_3\text{N}_4$  ( $500^\circ\text{C} < T < 800^\circ\text{C}$ ) à une densité de ( $2.9$  à  $3.1 \text{ g/cm}^3$ ). Enfin, un polymide et/ou un gel de silicone ( $200^\circ\text{C} < T < 400^\circ\text{C}$ ), permettent ensuite de compléter cette isolation d'un point de vue électrique et mécanique.

### **I.7.6. Dopage :**

Les propriétés des semi-conducteurs sont en grande partie régies par la quantité de porteurs de charges qu'ils contiennent. Ceux-ci peuvent être des électrons ou des trous. Le dopage d'un matériau consiste en l'introduction, dans sa matrice, d'atomes étrangers. Ces derniers se substituent alors à certains atomes initiaux et introduisent davantage d'électrons ou de trous modifiant les propriétés électriques des semi-conducteurs. L'incorporation des dopants tels que l'azote de type n, l'aluminium ou le bore de types p, est possible durant la phase d'élaboration du matériau (croissance de substrat et des épitaxies). Le moyen de dopage par diffusion est très difficile dans le SiC. Ce procédé consiste à placer le substrat dans un tube avec l'agent dopant sous atmosphère contrôlée. Ce tube est placé dans un four à diffusion et porté à une température élevée. Les coefficients de diffusion des impuretés dopantes sont très faibles pour le SiC et la diffusion des dopants nécessitent des températures extrêmement élevées, de l'ordre de  $2050^\circ\text{C}$  [41].

L'implantation ionique est la technique privilégiée pour l'obtention de dopages localisés [42, 43]. Elle consiste à projeter un faisceau d'ions de forte énergie ( $\approx 100 \text{ keV}$ ). Les dopants les plus utilisés pour obtenir une région de type P dans du SiC sont l'aluminium et le bore.



Pour la réalisation d'une région de type N ce sont les impuretés azote et phosphore. Le principal inconvénient de ce procédé est le domaine réduit des profondeurs de dopage possibles. La pénétration des atomes d'aluminium dans le SiC est de l'ordre de 1nm/keV, cela signifie que pour obtenir une profondeur d'implantation de 1 $\mu$ m avec l'aluminium, il faudrait une énergie d'implantation de 1MeV. Il est donc très difficile d'obtenir des jonctions profondes (>1 $\mu$ m) avec une implantation standard (c'est-à-dire utilisée dans la technologie silicium) dont l'énergie maximale est de l'ordre de 200 keV.

### I.7.7. Substrat :

C'est la disponibilité de substrats de SiC de grande dimension et de qualité qui a permis des avancées technologiques conséquentes ces dernières années. La taille des plaques n'a pas cessé d'augmenter au point d'atteindre des tailles standards de wafer (partie dopée) de silicium de 4 pouces (commercialisés depuis 2006). A présent, il est donc possible de réaliser des composants sur des plaques SiC avec les équipements standards de la filière Si. Ceci représente un avantage certain pour le transfert technologique.

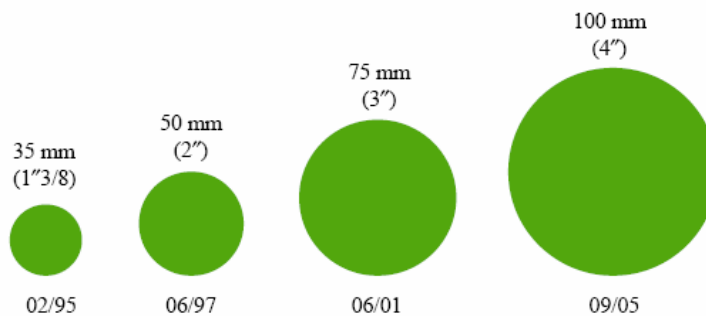


Fig I.26 : Evolution de la taille des wafer en carbure de silicium avec la date d'apparition en développement. [31]

La majorité des recherches sur le SiC se fait sur des substrats fournis par la société CREE [24]. Depuis quelques années, de nouveaux acteurs ont fait leur apparition notamment les européens SiCrystal, Norstel, ... Ces derniers présentent l'inconvénient de ne pas proposer (pour l'instant) d'épitaxies épaisses sur les substrats.

Les défauts dans le cristallin historiquement empêché le développement industriel de composant SiC. La qualité des substrats actuels n'est pas encore optimale puisqu'ils présentent encore de nombreux défauts. Les deux principaux défauts sont les micropores [44] et les dislocations [45].

Les micropores sont des « trous » issu d'un défaut de croissance qui traverse de part en part le wafer. La figure suivante montre l'évolution de la densité des micropores qui augmente avec l'augmentation de la taille des substrats. En 2007 des wafers de diamètre 100mm avec une densité de micropore inférieur à  $10/\text{cm}^2$  sont commercialisés. C'est une étape importante dans la réduction des coûts des composants SiC.

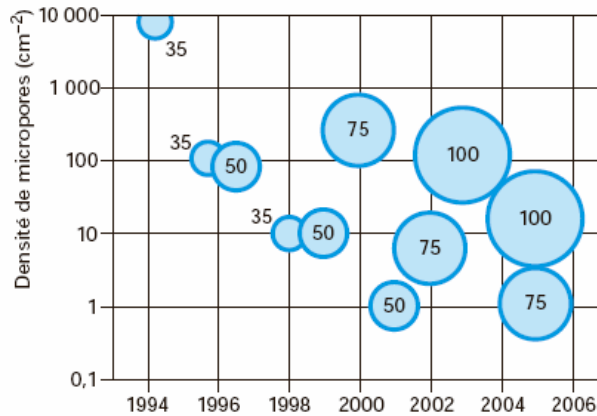


Fig I.27 : Evolution de la densité des micropores et de la taille des plaquettes de SiC (en mm) au cours des dix dernières années [23]

Les dislocations sont des voies privilégiées de migration des impuretés, métalliques par exemple, vers l'intérieur du cristal et la couche active du composant, ou souvent la conséquence de déformation plastique (une partie du cristal subit un glissement d'un bloc par rapport au reste du cristal). Il existe trois types de dislocations, dislocation coin perpendiculaire à la direction du glissement, dislocations vis parallèle à la direction du glissement, et mixte qui résulte de l'addition de segments de dislocations-vis et dislocations coin.

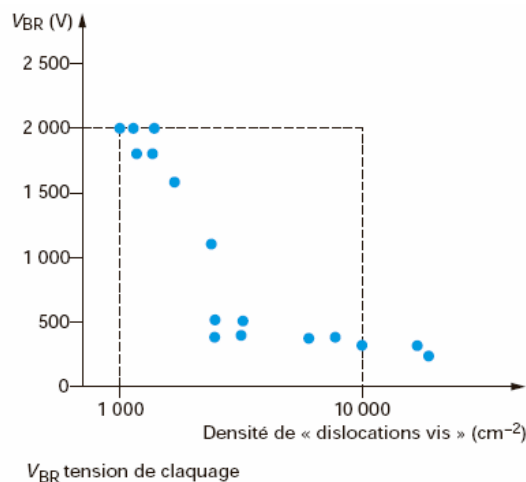


Fig I.28: Influence de la densité de dislocations sur la tenue en tension de diode Schottky [23]

Ce défaut est une absence de matière. Il peut provoquer des dysfonctionnements pour les composants notamment des courants de fuites élevés en régime bloqué. Dernièrement la société INTRINSIC a développé une technologie appelée « Zero Micropipe » (ZMP) permettant la production de wafer SiC sans micropores. En juin 2006, la société a été rachetée par CREE [24].

Une filière SiC industrielle ne peut pas se développer si le matériau de base n'a pas un degré de pureté élevée. La présence des défauts sur les plaquettes réduit donc la surface utile et par voie de conséquence le rendement de fabrication. La réduction des défauts conditionne la viabilité d'une filière SiC. H. Lenndman [46] a présenté les différents types de défauts rencontrés et leurs impacts sur les caractéristiques électriques des différents composants.

Il est important de retenir que le rendement par plaquette doit être suffisamment élevé pour que le coût global du composant reste attractif. L'augmentation de la taille des plaquettes semble donner lieu à une saturation de densité de défauts. L'obtention de cristaux de bonne qualité est une obligation pour le développement industriel de composant SiC.

## I.8. Exemples de réalisations :

Le tableau suivant regroupe des exemples récents de réalisation de dispositifs et montre les caractéristiques électriques obtenues. Ces données proviennent des publications de Matsunami [47], Cooper [48], Cree Research [24], Sugawara [49][50], Linkoping [51], Northrop-Gumman [52]

Tab I.2 : Exemple de caractéristiques de composants SiC réalisés

DIODES	Tension de blocage (kV)	Résistance spécifique à l'état passant ( $m\Omega.cm^2$ )	$V_B^2/R_{ON}(MW/cm^2)$	Référence
Schottky diode (4H)	4.9	43	558	Purdue Univ
MPS diode (4H)	1.5	10	225	Cree Research
JBS diode (4H)	2.8	8	980	KTH/ABB
PiN diode (4H)	19.2	7.5V@ 100Q/cm <sup>2</sup>		Kansai [SUG01-1]

Composant	Tension de blocage (kV)	Résistance spécifique à l'état passant ( $m\Omega.cm^2$ )	$V_B^2/R_{ON}(MW/cm^2)$	Référence
MOS-Bipolaire				
BJT (4H)	3.2	78	131	Purdue Univ
Thyristor (4H)	2.6	1.7@ If=12A		Cree Research
GTO (4H)	3.1	4.97 @ 12A	Puissance 62kW	Cree Research
IGBT (6H)	0.4	431 (300°C ;100A/cm <sup>2</sup> )		Ryu Singh Palmour

JFET	Tension de blocage (kV)	Résistance spécifique à l'état passant ( $m\Omega.cm^2$ )	$V_B^2/R_{ON}(MW/cm^2)$	Référence
JFET (4H)	5.5	218	139	Kansai EP/Cree
JFET (4H)	4.45	121	164	Kansai EP/Cree
JFET (4H)	3.5	25	490	SiCED

### I.9. Performance des composants de puissance en SiC :

Comme déjà énoncé précédemment, les avantages principaux du carbure de silicium comparé au Si d'un point de vue des propriétés physiques sont l'énergie de Gap élevée (3.15eV pour du SiC 4H), le champ électrique critique élevé (2.3MV/cm) pour un dispositif bloquant 600V, et la conductivité thermique élevée (3.5W/cm.K).

Ces propriétés permettent aux concepteurs des dispositifs semi-conducteur de puissance d'employer les mêmes concepts de dispositif qu'avec le Si mais pour des tensions de blocage et/ ou des températures de fonctionnement plus élevées.

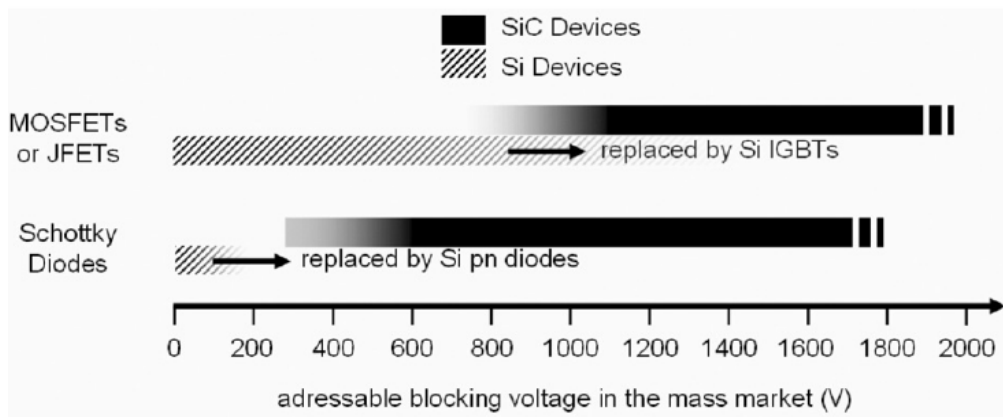


Fig I.29: comparaison des tensions de blocage accessibles pour des diodes Schottky et des commutateurs unipolaires pour Si et du SiC. [53]

La figure ci-dessus compare les tensions de claquage que l'on peut obtenir pour des composants unipolaires, diodes Schottky et transistors MOSFET et JFET dans le cas de composants SiC et Si. Pour les composants Si, les transistors MOSFET et diodes Schottky sont remplacés par des diodes PIN et des transistors IGBT quand l'augmentation des tensions de blocage est nécessaire. Les dispositifs de puissance SiC peuvent décaler la frontière entre composants bipolaires et unipolaires à des tensions beaucoup plus élevées que pour des dispositifs Si.

### I.9.1. La diode bipolaire :

Les diodes bipolaires sur SiC ont l'inconvénient d'avoir un seuil de conduction ( $V_{bi} \sim 2V$ ) important du à la largeur élevée de la bande interdite. Elles sont ainsi moins performantes en direct que les diodes silicium (à tenue en tension identique). La durée de vie des porteurs minoritaires étant faible, la modulation de résistivité de la couche de base est beaucoup moins importante que dans le silicium. Cependant une comparaison expérimentale entre une diode PIN 6 kV en silicium commercialisée et une diode en SiC-4H possédant la tenue en tension la plus élevées (19 kV), a été réalisée par Sugawara et Takayama [54]. Sa structure est représentée sur la figure I.30. Les résultats obtenus montrent qu'à partir de  $80 \text{ A.cm}^{-2}$  la chute de tension statique dans la diode SiC-4H devient inférieure à celle mesurée dans la diode silicium. L'avantage d'une durée de vie des porteurs minoritaires faibles (50 ns) se traduit par d'excellentes performances en commutation des diodes SiC.

Un développement récent de diodes PiN SiC est une diode Cree 4H-SiC de  $1.5 \times 1.5 \text{ cm}^2$  [55] avec une tension directe de 3.2 V à 180A ( $100 \text{ A/cm}^2$ ) capable de bloquer une tension de 4.5 kV avec un courant de fuite de 1mA .

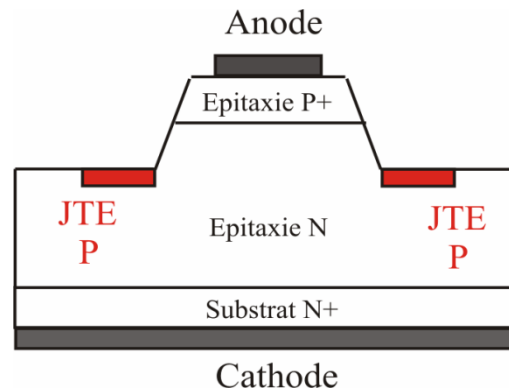


Fig I.30 : Coupe de la diode bipolaire en SiC-4H  
Protégée par MESA/JTE [54]

## I.9.2. La diode Schottky

Nous allons rappeler très brièvement le fonctionnement des diodes Schottky. La différence des travaux de sortie entre métal et semi-conducteur va induire un champ électrique et ainsi une zone de charge d'espace. Si une tension positive est appliquée entre anode et cathode, le métal va jouer le rôle d'émetteur de porteurs. C'est le régime passant de la diode. Dans le cas contraire, si une tension négative est appliquée entre anode et cathode, le champ électrique s'accroît et ainsi la zone de charge d'espace s'étend dans le semi-conducteur, la diode est polarisée en inverse. Le claquage a lieu lorsque le champ électrique atteint une valeur pour laquelle le mécanisme de génération de porteurs par impact est déclenché.

En silicium, les diodes Schottky possèdent des tensions de blocage maximales de l'ordre de 150 à 200V, la tenue en tension est limitée par le courant de fuite.

En SiC, les diodes Schottky sont essentiellement réalisées avec le polytype SiC-4H les métaux les plus souvent utilisés pour la réalisation de la barrière sont le nickel et le titane. Le contact ohmique est généralement réalisé en nickel recuit à environ  $1000^\circ\text{C}$ . Le premier démonstrateur de diode Schottky a été réalisé par Batnagar [56]. La tenue en tension était de 400V pour une épaisseur de région de base égale à  $10 \mu\text{m}$  dopée à  $3.6 \cdot 10^{16} \text{ cm}^{-3}$ . Cette diode n'avait pas de protection périphérique.

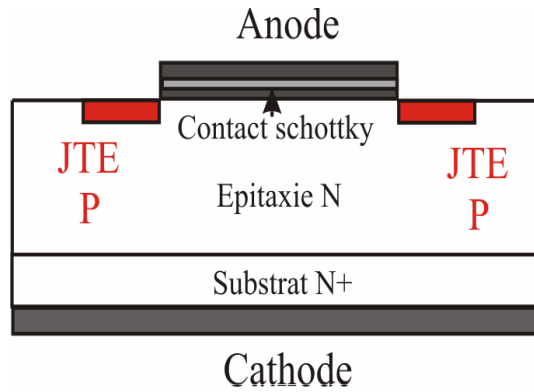


Fig I.31 : Coupe de la diode schottky en SiC-4H [57]

La société INFENEON a récemment présenté des diodes schottky de « 2<sup>nd</sup> génération » [58]. Ces diodes de tenue en tension 600V et 1200V combinent une diode schottky et une structure PIN (MBS). L'effet bipolaire permet une plus grande robustesse aux sur-intensités et une meilleure tenue à l'avalanche. La conception assure un fonctionnement purement unipolaire à faible courant et jusqu'au courant nominal. Cependant en cas de surintensité, la partie bipolaire aide à réduire la chute de tension à l'état passant et rend le dispositif plus robuste.

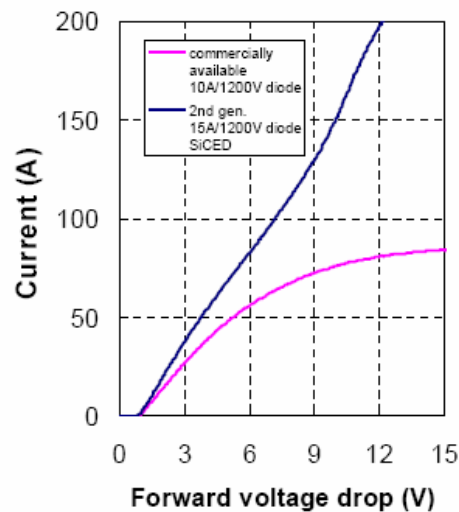


Fig I.32: Le comportement de diode 1200V standard et de 2<sup>nd</sup> génération à fort niveau de courant [59]

### I.9.3. Les transistors bipolaires

Le transistor bipolaire est constitué de trois électrodes, émetteur, base et collecteur. Il existe deux types de composants, NPN et PNP. Dans le domaine de la puissance, le composant le plus utilisé en technologie silicium était le transistor NPN.

La conduction du transistor NPN est assurée par les électrons or la mobilité des électrons est supérieure à celle des trous donc le transistor NPN possède une chute de tension plus faible à l'état passant que le PNP. La figure suivante montre le schéma de principe d'un transistor NPN.

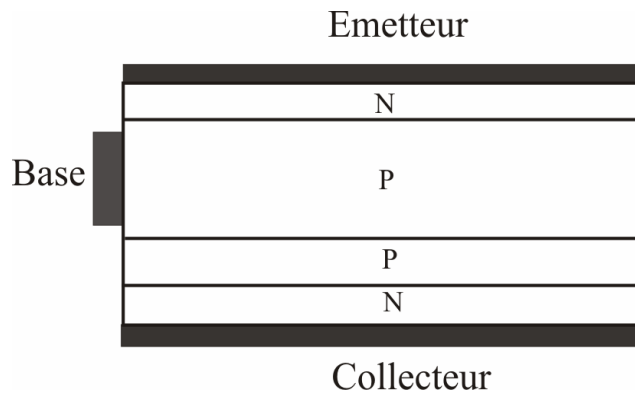


Fig 1.33 : Schéma de principe simplifié d'un transistor NPN vertical

Ce composant est formé de deux jonctions PN. En régime bloqué, si la tension  $V_{CE}$  est positive, la jonction Collecteur /Base est en inverse et elle est optimisée de façon à supporter la tension. Si un courant  $I_B$  positif est appliqué, la jonction Base/Emetteur se polarise en direct. L'émetteur injecte des porteurs minoritaires dans la base. Le collecteur a pour rôle de collecter ces porteurs sous l'effet d'un fort champ électrique (la jonction base-collecteur est polarisée en inverse).

Aujourd'hui, le transistor bipolaire n'est quasiment plus utilisé car du point de vue de la commande, il n'est pas du tout avantageux. En effet, pour le mettre en conduction, il faut appliquer un courant de base positif pour un NPN et négatif pour un PNP. Pour qu'il reste conducteur, il faut continuer à appliquer le courant de commande pendant toute la phase de conduction ce qui est très coûteux en énergie. De plus, une commande en courant est beaucoup plus difficile à réaliser qu'une commande en tension. Avec ces différents inconvénients, il devient de plus en plus difficile de trouver dans le commerce des transistors bipolaires silicium de puissance. Toutefois, le transistor bipolaire en SiC peut présenter des intérêts, la technologie de réalisation est simple, et il est potentiellement intéressant à haute température de fonctionnement.



Deux transistors bipolaires en SiC-4H ont été conçus par [60] et [61], ces transistor sont parmi ceux dont la tenue en tension est la plus élevée (cf. figure I.31).

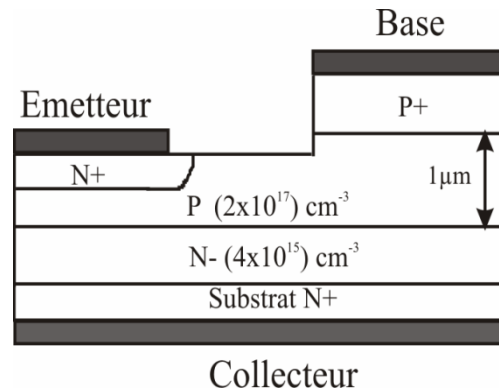


Fig I.31 : Transistor bipolaire SiC-4H réalisé par [60]

Des transistors IGBT –SiC planar (qui intègrent un transistor bipolaire), ont été rapportés en 2006 [62], avec une tension de blocage de 6kV. Ces composants ont montré une résistance spécifique à l'état passant de l'ordre de 400 mΩ.cm<sup>2</sup>.

Une réduction significative à 72 mΩ.cm<sup>2</sup> été réalisé en 2007 [63]. D'autre améliorations ont été apportées par Zhang avec une résistance spécifique de 14 mΩ.cm<sup>2</sup> pour un p-IGBT 12 kV [64].

#### I.9.4. Les transistors MOSFETs :

Le MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est le transistor unipolaire (à porteurs majoritaires), le plus utilisé en électronique de puissance silicium du fait qu'il est normalement fermé. La figure I.32, illustre la structure simplifiée d'un MOSFET vertical en silicium.

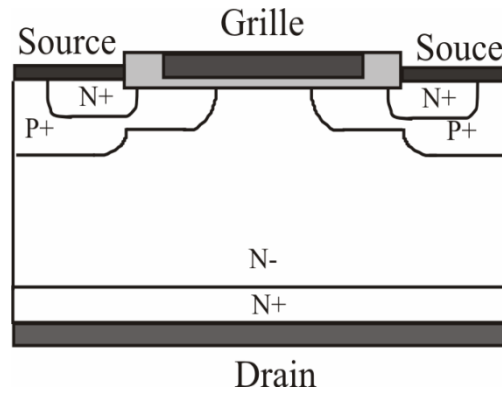


Fig I.32: Structure MOSFET Vertical en Si

Si une tension  $V_{DS}$  positive est appliquée à la structure, la jonction P+N est en inverse. Pour mettre en conduction l'interrupteur, il suffit d'appliquer une tension  $V_{GS}$  supérieure à la tension de seuil. A l'interface région P porte canal/oxyde, dans le semi-conducteur, une zone d'inversion est créée (appelée canal). Ainsi les charges créées dans le canal sont des électrons. Le drain et la source se trouvent court-circuités par le canal. Le transistor est conducteur et la résistance du canal est modulée par le potentiel appliqué sur l'électrode de grille.

L'élaboration d'interrupteurs MOSFET en carbure de silicium est particulièrement délicate.

L'interface semi-conducteurs/oxyde (couche isolante entre grille et substrat) présente des densités de défauts élevées réduisant les performances électriques des transistors MOSFET (canal très résistif) [65]. La mobilité des porteurs dans le canal est réduite, surtout pour le SiC-4H ( $4 \text{ à } 5 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ) à température ambiante. Ces faibles valeurs sont liées à la présence de charges à l'interface semi-conducteur/oxyde.

De plus dans le SiC, la structure MOSFET vertical « classique » en Si doit être adaptée aux exigences technologiques du SiC en terme de profondeur de jonction. Or les très faibles coefficients de diffusion des impuretés dopantes ( $10^{-4} \text{ cm}^2 \cdot \text{s}^{-1}$  pour le bore et  $10^{-8} \text{ cm}^2 \cdot \text{s}^{-1}$ , pour l'aluminium) ne permettent pas la réalisation de zones dopées localement profondes par cette technique.

Cependant, des travaux sont développés afin de rendre attractif le MOSFET en SiC. Spitz et Melloch [66] ont élaboré un démonstrateur de LDMOSFET en SiC-4H (cf. figure I.33). Dans ce cas, l'épaisseur qui permet la tenue en tension est celle indiquée entre les plots P et N+, égale à  $35 \mu\text{m}$ . Ainsi la tension de claquage théorique peut être égale à 4.5 kV.

La tension de seuil du transistor est égale à 6V. En mode passant, le courant est égal à  $1\mu\text{A}$  sous une tension  $V_{\text{DS}}$  de 20V pour  $V_{\text{GS}}$  égal à 24 V. la résistance à l'état passant est ainsi égale à  $200\text{m}\Omega\cdot\text{cm}^2$ .

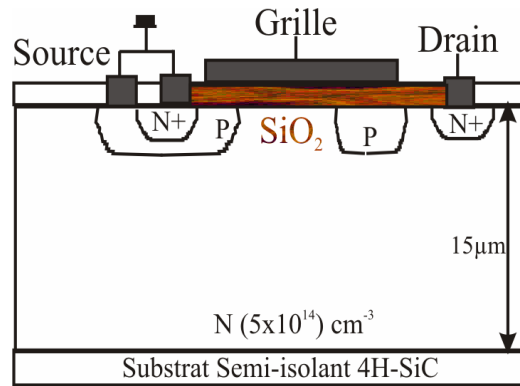


Fig 1.33 : LDMOSFET en SiC-4H [66]

Des structures récentes de transistor MOSFET-SiC sont caractérisées par des canaux ultra-courts ( $0.5\mu\text{m}$ ) et ainsi des densités de cellules très élevée [67]. Grâce à cette approche la résistance à l'état passant peut être réduite en dépit des caractéristiques médiocres du canal et des défauts d'interface.

Un MOSFET 4H-SiC 1.2 kV a récemment été rapporté [68], Avec une faible résistance à l'état passant ( $5\text{ m}\Omega\cdot\text{cm}^2$  à  $25^\circ\text{C}$  et  $8.5\text{ m}\Omega\cdot\text{cm}^2$  à  $150^\circ\text{C}$ ). Sa faible résistance à l'état passant a été mesurée pour une surface active de  $0.2\text{mm}^2$  et une tension de grille de 20V. Une autre réalisation récente de transistor MOSFET 4H-SiC est un composant 10kV-5A [69], avec une surface active de  $0.15\text{cm}^2$ .

Il utilise une couche de type-n d'épaisseur  $100\mu\text{m}$  avec une concentration du dopage du Substrat de  $6\times 10^{14}\text{cm}^{-3}$ , pour une résistance à l'état passant de  $111\text{ m}\Omega\cdot\text{cm}^2$  à température ambiante sous une tension de grille de 15V.

## I.9.5. Transistor JFET-SiC :

### I.9.5.1. Généralités :

Le transistor JFET est un composant unipolaire, il fait partie de la famille des transistors à effet de champ (FET : Field Effect Transistor), c'est un transistor qui possède trois électrodes :

- Une électrode qui injecte les porteurs dans la structure : la source.
- Une électrode qui recueille les porteurs : le drain.
- Une électrode où est appliquée la tension de commande : la grille

Généralement, les transistors JFET sont de type « Normally-On » ce qui rend plus difficile leur mise en œuvre dans des applications telles que les onduleurs car sans présence d'alimentation (sans polarisation de commande) il ya risque de court-circuit.



Fig I.34 : Transistor JFET SiC 1200V 15A

En boîtier TO247, les trois électrodes sont connectées par des fils de connexion (bonding) à la pastille de SiC qui est à son tour soudée sur une semelle métallique. L'ensemble est placé dans un boîtier (packaging), comme montré à la figure I.35.

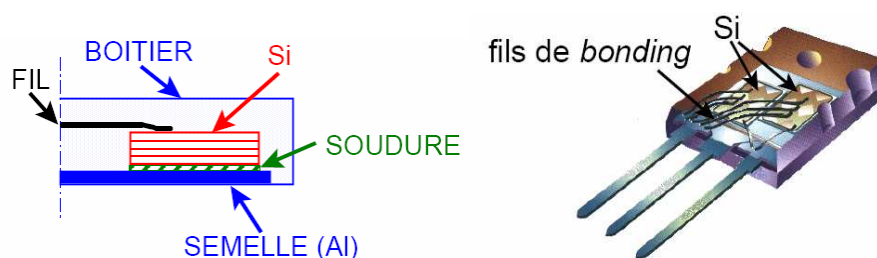


Fig : I.35 : Vue d'une puce dans un boîtier TO 220 ou TO247

Il existe deux types de transistor JFET : à canal N (où la grille est de type P) avec un courant qui circule du drain vers la source, et à canal P (la grille et de type N) avec un courant circulant de la source vers le drain. En raison de son mécanisme unipolaire de conduction, le canal est bidirectionnel en courant (peut mener le courant dans les deux directions).

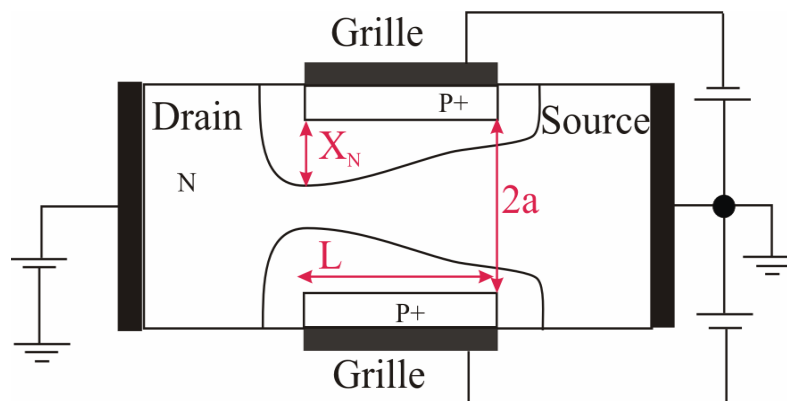
Comme le montre la figure I.36, la conduction entre drain et source s'effectue à travers le canal de type N entre les deux couches de type P connectées à la grille. Ce canal a une longueur  $L$  définie par les dimensions des diffusions ou des implantations P et une épaisseur  $2a$  modulée par les extensions ( $x_n$ ) des zones de charge d'espace des jonctions PN.

Une tension  $V_{GS}$  négative appliquée sur la grille polarise ces jonctions en inverse entraînant une plus grande extension des zones de charge d'espace, réduisant ainsi la section du canal et augmentant la résistance de celui-ci.

Pour une valeur  $V_{pi}$  de  $V_{GS}$  (tension de pincement), les deux zones se rejoignent sur toute la longueur  $L$  du canal bloquant ainsi la conduction. L'expression de la tension de pincement  $V_{pi}$  du canal est de la forme :

$$V_{pi} = \frac{qN_D a^2}{2\epsilon_r \epsilon_0} - V_{bi} \quad (I-11)$$

Où  $V_{bi}$  est le potentiel de diffusion de la jonction et  $N_D$  le dopage de la zone de canal en supposant ce dopage beaucoup plus faible que celui des zones  $P^+$



$L$ : longueur du canal

$2a$ : largeur du canal

Fig I.36 : Schéma de principe d'un JFET [16]

La tension  $V_{DSsat}$  positive appliquée sur le drain a pour effet d'accroître la polarisation en inverse des jonctions PN et, par conséquent, d'augmenter l'extension des zones de charge d'espace au voisinage du drain comme le montre la figure I.30. Lorsque les deux zones de charge d'espace se rejoignent du côté du drain pour une valeur  $V_{DSsat}$ , le canal est pincé et le niveau de courant peut rester constant pour les valeurs supérieures de tension ce qu'on appelle courant de saturation.

En effet, le pincement du canal aura lieu vers le drain lorsque la somme des potentiels entre drain et grille sera égale à la tension de pincement  $V_{pi}$ . Le courant continuera à circuler grâce au champ électrique dans le canal. Pour un accroissement de la tension de drain, si les limites de la zone de pincement n'évoluent pas significativement, le champ dans le canal reste identique et le courant reste constant, l'état de saturation est alors atteint.

Si  $V_{GS}$  est supérieure à  $V_{pi}$  (en valeur absolu) le transistor restera bloqué tant que la hauteur de barrière de potentiel dans le canal sera suffisamment grande pour s'opposer au passage des porteurs.

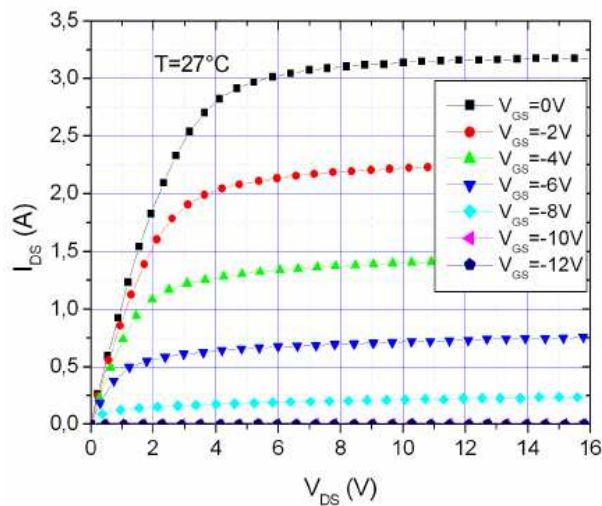


Fig I.37: Exemple de caractéristique électrique statique d'un transistor JFET [70]

En l'absence de polarisation de grille ( $V_G=0$ ), le courant de saturation est maximum :

$$I_{\text{satmax}} = \frac{a^3 \cdot q \cdot \mu \cdot Z}{3\epsilon_s \cdot L} N_D^2 \quad (\text{I-12})$$

On peut ainsi régler le courant de saturation du transistor en optimisant les paramètres géométriques et technologiques.

Dans le but de diminuer la chute de potentiel à l'état passant, il est toujours possible d'appliquer une tension légèrement positive sur la grille afin de polariser les jonctions PN faiblement en direct. Il y a alors une injection de trous de la grille dans la couche N peu dopée, modulant la résistivité de cette couche en réduisant la zone de charge d'espace.

Pour obtenir un transistor possédant de bonnes performances à l'état passant, il faut un dopage élevé dans le canal et une largeur importante du canal. Un Canal trop large nécessitera des tensions de commandes élevées. Un compromis est à trouver entre tension de pincement et largeur de canal. En phase de blocage direct cette fois, la recherche d'une tension de claquage élevée va nécessiter un dopage faible dans le canal et la zone de drain.

### **I.9.5.2. Comportement d'un JFET en régime de limitation de courant :**

En fonctionnement normal la jonction grille-canal est polarisée en inverse : le courant d'entrée  $I_G$  est très faible et les courants de drains et de source sont identiques.

Dans le réseau des caractéristiques de sortie  $I_D=f(V_{ds})$ , la tension  $V_{GS} < 0$  permet de moduler le courant qui circule dans le transistor en faisant varier la résistance du canal,  $I_D$  diminue lorsque  $V_{GS}$  augmente (en valeur absolue)

- À  $V_{GS}=0V$ , l'augmentation de la tension drain source ( $V_{DS}>0$ ) induit une saturation du courant qui coïncide avec un pincement du canal. En régime ohmique, le transistor est passant avec la résistance à l'état passant la plus faible. L'interrupteur est fermé.
- Pour  $V_{GS}<V_{GSoff}$  le transistor fonctionne comme un « interrupteur ouvert », on peut considérer que le courant  $I_D=0$

On observe quatre zones différentes. Une zone dite résistive, un coude, une zone de saturation avec  $I_D$  quasi constant et une zone d'avalanche.

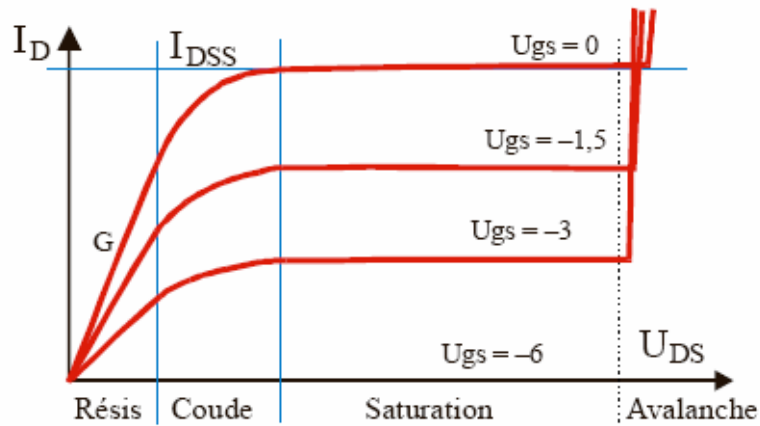


Fig I.38 : Caractéristique électrique

### I.9.5.2.1. Zone résistive :

Dans une jonction polarisée en inverse existe une zone de charge d'espace sans porteurs libres dont l'épaisseur 'e' est fonction de la tension inverse  $e \approx k\sqrt{V_{GS}}$ . Cette zone « isolante » qui correspond aux jonctions grille-canal diminue la largeur effective du canal.

Pour les tensions  $V_{DS}$  faibles, le canal se comporte comme une résistance ohmique dont la valeur est fonction de sa section et donc de la tension inverse entre grille et source. Le JFET est alors équivalent à une résistance commandée par une tension.

Pour une valeur  $V_p$  suffisamment négative de  $V_{GS}$ , la conduction s'annule. On dit que le canal est « pincé » et  $V_p$  est la tension de pincement.

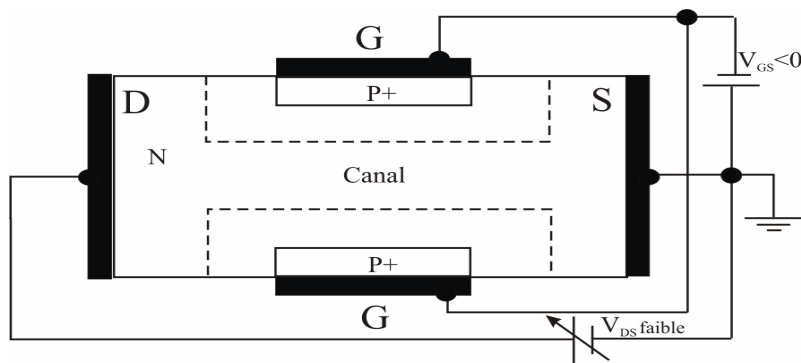


Fig I.39 : Comportement simplifié d'un JFET, cas où  $V_{DS}$  est faible (zone ohmique)



### I.9.5.2.2. Zone de coude :

La largeur de la zone déplétée (entre grille et drain) est également influencée par la tension entre drain et source. Du côté de la source sa largeur est  $e_1 = k\sqrt{V_{GS}}$

Du côté du drain, elle est  $e_2 = k\sqrt{V_{GD}}$

Quand  $V_{DS}$  augmente, l'évolution du courant de drain résulte de deux phénomènes contradictoires : une croissance liée au caractère ohmique du canal et une diminution liée au pincement progressif de ce canal.

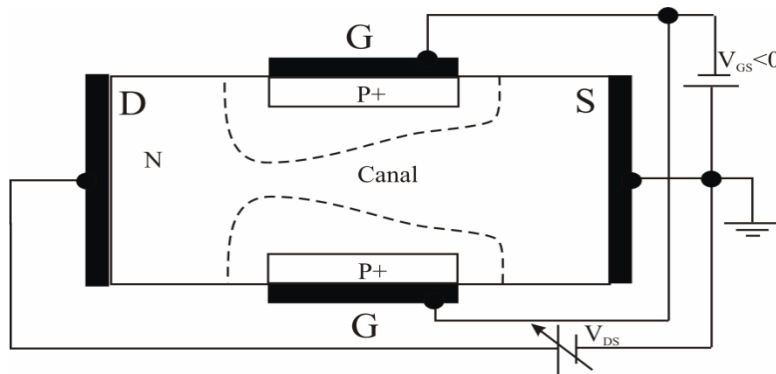


Fig I.40 : Comportement simplifié d'un JFET, cas où  $V_{DS} < V_p$  (zone de coude)

### I.9.5.2.3. Zone de saturation :

Dans cette zone tout accroissement de  $V_{DS}$  qui augmenterait le courant  $I_D$  augmente aussi le pincement. Quand le canal se pince, la densité du courant augmente jusqu'à ce que les porteurs atteignent leur vitesse limite : le courant de drain reste constant et le transistor est dit saturé. La valeur maximum de  $I_D$  pour  $V_{GS}=0$ , qui correspond au pincement du canal est notée  $I_{DSAT}$ .

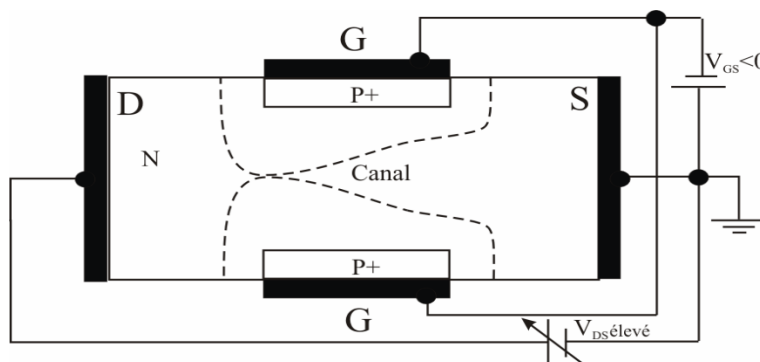


Fig I.41 : Comportement simplifié d'un JFET, cas où  $V_{DS} > V_p$  (zone de saturation du courant)

#### I.9.5.2.4. Zone d'avalanche :

Elle résulte d'un claquage de la jonction drain-grille. Ce claquage du dispositif est destructeur si rien ne limite le courant de drain.

#### I.9.5.3. Exemples de différentes structures de transistors JFET-SiC :

Le transistor JFET SiC et le dispositif le plus développé et le plus abouti dans la filière SiC [71]. Les JFETs présentent une faible résistance à l'état passant, et le problème d'interface d'oxyde ne se pose pas. La résistance à l'état passant d'un JFET 600V unipolaire de SISED est 7 fois plus faible que celle d'une structure MOSFET (transistor COOLMOS à super jonction) silicium de même tenue en tension à environ 150°C comme l'indique la figure suivante.

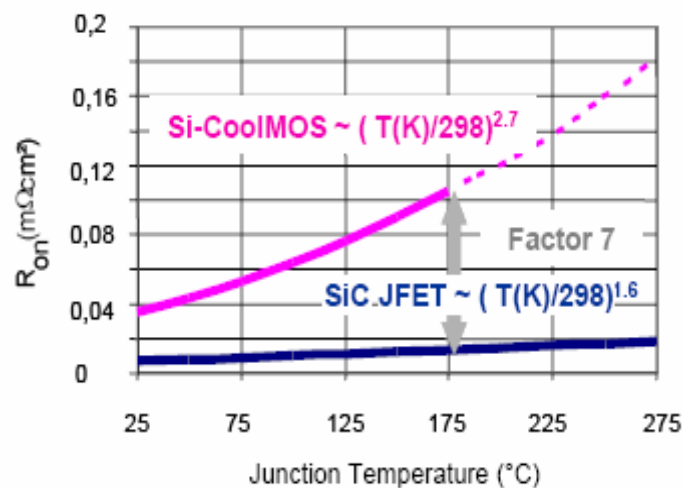
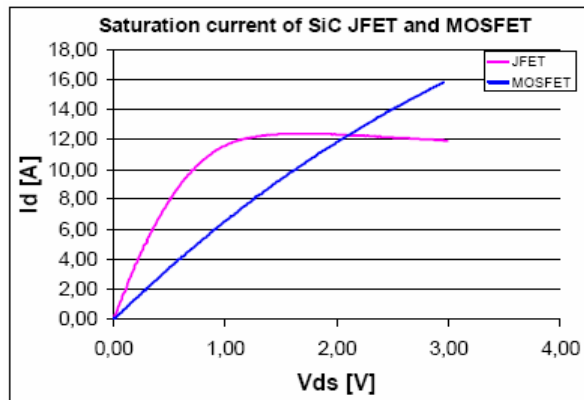


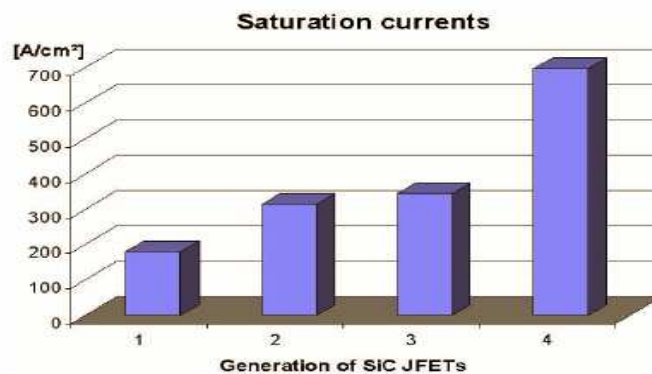
Fig I.42: Augmentation de la résistance à l'état passant de transistors 600V unipolaires SiC-VJFET et COOLMOS Si- (150°C) [72]

La comparaison des courants de saturation sur ces deux composants montre un courant de saturation plus faible pour le JFET SiC que pour le COOLMOS Si. On peut également noter que les évolutions technologiques apportées sur les JFET SiC (plus faible chute de tension à l'état passant) se sont traduites par une élévation de la densité de courant de saturation, qui est aujourd'hui de l'ordre de 700A/cm<sup>2</sup>.



a)

Fig I.43: caractéristique Si-MOSFET et SiC-JFET [73]



b)

Fig I.44: Evolution du courant de saturation des transistors JFET SiC [73]

Le transistor JFET SiC est le premier transistor à être commercialisé (Infineon). Plusieurs tests dans des conditions sévères ont montré ses performances [74,75], et son aptitude à supporter des températures élevées de fonctionnement.

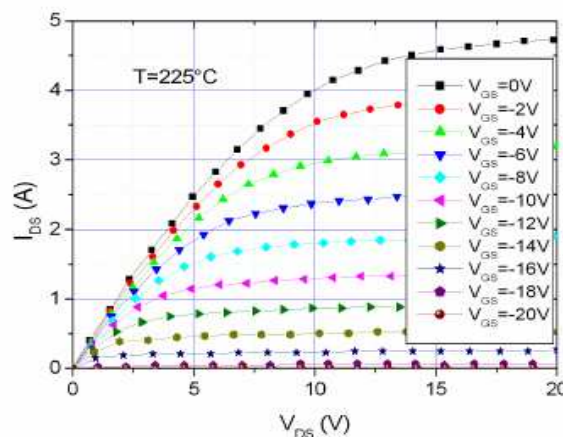


Fig I.45 : Caractéristique statiques d'un JFET-SiC à 225°C [69]

Leur structure simple (sans oxyde, avec uniquement des jonctions PN) permet d'obtenir des faibles résistances série ( $R_{ON}=14 \text{ m}\Omega\cdot\text{cm}^2$  pour  $V_{BR}=1800 \text{ V}$ ) et un fonctionnement possible jusqu'à des températures de l'ordre de  $300^\circ\text{C}$ . Des résultats expérimentaux ont également montré la bonne robustesse de ces transistors aux régimes d'avalanche.

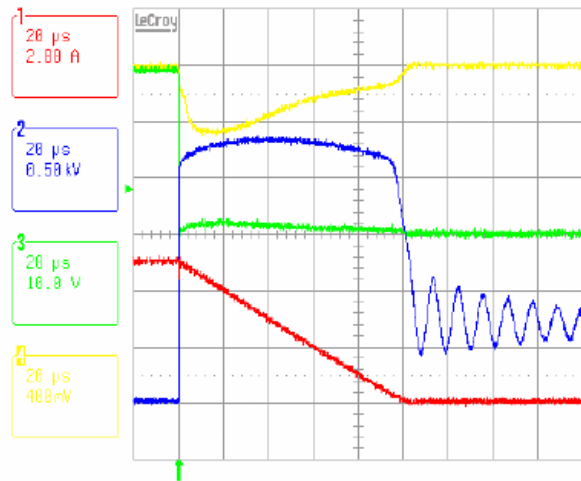


Fig I.46: Stabilité en avalanche d'un transistor JFET-SiC pour une énergie dissipée de l'ordre de 500mJ [48]

Différentes structures ont été développées afin de modifier et d'améliorer certaines caractéristiques. Le JFET-SiC de type N de SICED [76] est fabriqué sur un substrat polytype 4H-SiC (cf. Fig I.47).

La surface entre grille et drain est faible, il en résulte une faible capacité (Miller) et par conséquent cette structure commute rapidement comparé à d'autres structures ou la grille sera enterrée dans le canal. Cependant, l'inconvénient de cette structure est qu'elle possède un pré-canal entre la grille et la source lors du pincement du JFET. Ceci a comme conséquence d'augmenter la résistance à l'état passant. D'autre part, le JFET SiC de SICED présente l'intérêt d'avoir une diode PiN interne entre la source et le drain.

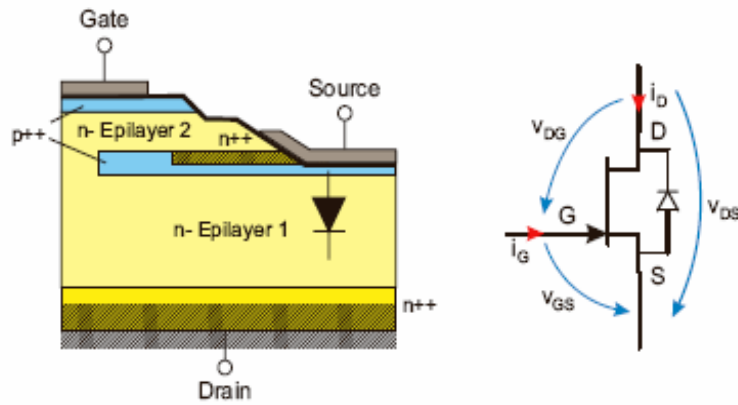


Fig 1.47 : Structure interne d'un JFET vertical (SICED) (1)  
4H-SiC avec grille en surface [77]

Infineon a développé une configuration cascode (JFET SiC vertical en série avec un MOSFET Si 60V) [78] de 1.5kV avec une résistance à l'état passant de 0.5Ω. Cette conception utilise la tenue en tension du JFET SiC, et permet d'obtenir grâce au MOSFET un composant normally-off.

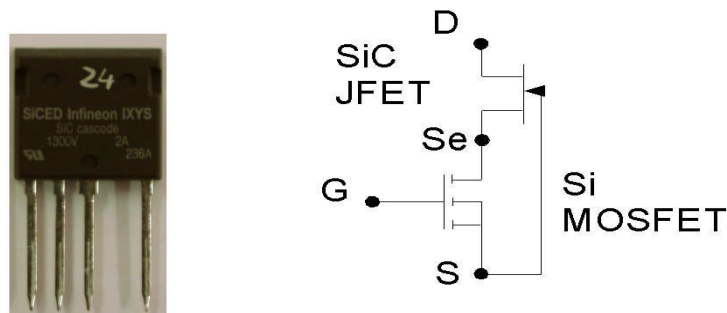


Fig 1.48 : Photographie et schéma de principe d'un cascode SiC distribué par INFINEON,  
 $V_{DS\ max} > 1000V$ ,  $R_{DS-ON} < 1\Omega$ ,  $I_D = 2.5A$

Un autre JFET SiC  $3 \times 4.1\text{ mm}^2$  1.8 kV -15 A à été proposé [79] avec une chute de tension à l'état passant de seulement 2V. Cette technologie serait viable pour des tensions de claquage allant jusqu'à 4.5 kV.

D'autres structures ont été présentées: H.Onose et A.Watanabe [80] ont développé un JFET SiC -4H vertical dont les caissons de grille sont réalisés par implantation ionique comme indiqué sur la figure I.49. L'épaisseur de la couche épitaxie de type N est égal à  $20\mu\text{m}$  et elle est dopée  $2.5 \cdot 10^{15}\text{ cm}^{-3}$ .

La tension de blocage est égale à 2000 V avec un courant de fuite de l'ordre de 2mA. La valeur de  $R_{Dson}$  diminue lorsque la dose d'implantation de la grille diminue et la largeur du canal augmente. La valeur moyenne du  $R_{Dson}$  est de  $60 \text{ m}\Omega \cdot \text{cm}^2$ .

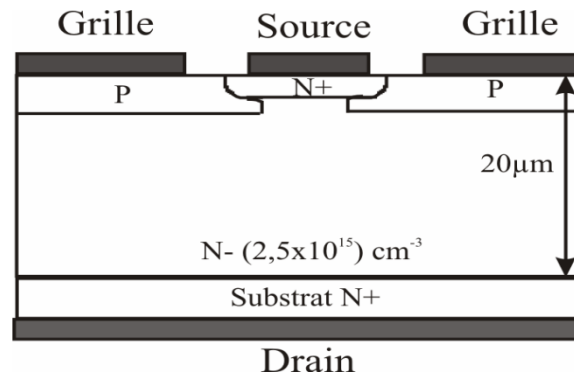


Fig I.49 : Schéma d'un JFET en SiC -4H

[80]

La grille est réalisée par implantation d'ion  $\text{Al}^+$  avec une énergie comprise entre 730 et 870 keV. Après les trois implantations (grille, contact de source, contact de grille), la plaquette est recuite à une température de  $1650^\circ\text{C}$  sous atmosphère d'Argon.

J.H. Zhao et X.Li [81] ont fabriqué un JFET vertical « normally-off ». Deux paramètres sont optimisés, la hauteur du canal horizontal (h) et la largeur du canal vertical (d), comme indiqué à la figure I.50. Ce JFET est basé sur un caisson de type P. Pour une largeur de  $2.5\mu\text{m}$  et une hauteur de  $0.17\mu\text{m}$ , la tension de blocage du dispositif est de 1644V à 300K et de 1800V à 600 K. les zones de type P sont réalisées par Co-implantation de Al et C avec des énergies d'implantation de l'ordre du MeV.

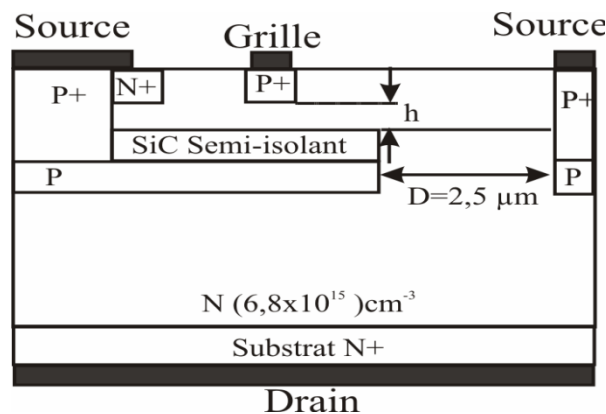


Fig I.50 : JFET vertical en SiC-4H [81]

Un JFET a été réalisé sur du SiC-4H présentant des résistances spécifiques faibles ( $21.5 \text{ m}\Omega\cdot\text{cm}^2$ ) [82].

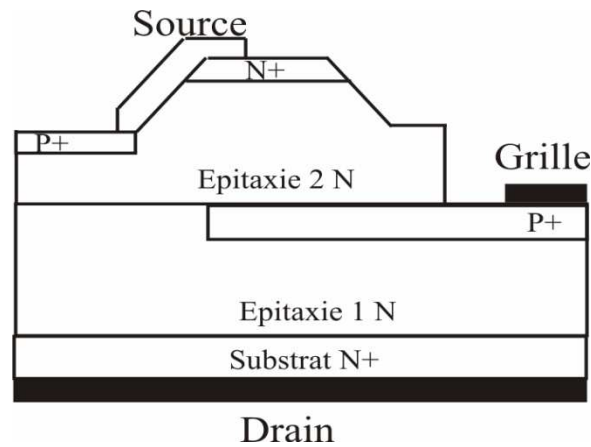


Fig I.51 : JFET en SiC-4H [82]

La figure I.51 illustre la structure. Trois lots ont été réalisés avec différentes valeurs de dopage pour la couche épitaxiée n°1. La résistance  $R_{\text{Dson}}$  varie de  $21.5 \text{ m}\Omega\cdot\text{cm}^2$  à  $24.5 \text{ m}\Omega\cdot\text{cm}^2$  à température ambiante ( $T=25^\circ\text{C}$ ). Plus la couche épitaxiée n°1 est épaisse et peu dopée, plus la tension de claquage augmente.

## **I.10. Conclusion :**

La complexité du réseau électrique que se soit le secteur industriel de distribution d'énergie ou domestique ont contribué au risque d'apparition de défauts (surtension et surintensité). Un besoin de disposer de systèmes de protection fiable et à rendement élevé ont favorisé le développement de dispositifs de protection et plus particulièrement la protection série. Le problème du court-circuit reste le point le plus critique vu les conséquences qui surgissent en sa présence, forte énergie et haute tension. Le composant limiteur est soumis à ces deux contraintes et doit agir de manière à les limiter en un temps très court pour éviter la propagation du défaut dans toute l'installation. Parmi les disponibilités des appareillages de protection proposés à ce jour, seuls les disjoncteurs statiques fabriqués à base de carbure de silicium (SiC) semblent être attrayants pour des applications à fort courant, haute tension et haute température. Le composant le plus adapté à fonctionner dans ces conditions et sous ces contraintes est aujourd'hui le transistor JFET-4H-SiC, pour ses possibilités de supporter et de limiter des courants de forte amplitude. Pour ce faire, le composant doit être à même de dissiper de fortes énergies.

Le chapitre suivant sera consacré à des essais de robustesse, et notamment des essais de court-circuit sur des transistors JFET-SiC en régime de court-circuit (ou régime de limitation de courant). Nous chercherons ainsi à montrer l'aptitude du composant à fonctionner en limiteur de courant.



## **Bibliographie :**

- [1] : P.Schueller, « Coupure en BT par Limitation du Courant », cahier Techniquen°163
- [2] : S.Lacroix, « Contacteur Disjoncteur Statique Pour Courant Continu en Technologie Hybride, Revue Général d'Electricité, 1986, n°1,p29-35
- [3] : G.Clerc,J.P.Riotte & G.Rojat, « New Static Step Towards The Ideal Switch: The GTO.MOS.cascode. E.P.E. 87, Grenoble, France Vol 1, p87-92.
- [4] : G. Raulet, G.Rojat & A Kevorkian, « Mise en Série de Transistor M.O.S.F.E.T de puissance, EPF, 1990, Toulouse,France, p 227-232.
- [5] : J.Le Ponner, « Disjoncteur Electronique A Coupure Rapide Pour Réseau 220V-20A-50Hz. PhD thesis, Conservatoire Associé d'Aix-en-Provence,1977.
- [6] : G. de Palma, « Etude et Réalisation d'un Disjoncteur Statique Limiteur Pour Le réseau Alternatif 660V-100A » Thèse de doctorat Lyon 1992 .
- [7] : P.Larguier, « Etude Conception et Réalisation d'un Contacteur Disjoncteur Statique Triphasé » Thèse de doctorat Montpellier 1994.
- [8] : J.M.Meyer, « Etude et Realisation d'un Disjoncteur Hybride Ultra-Rapide à Base de Thyristors IGCT », Thèse de doctorat Ecole Polytechnique Fédérale de Lausanne n°2173, 2000.
- [9]Marise Bafleur,” Intégration des Systèmes de Puissance [10] Nallet, F., Senes, A., Planson, D., Locatelli, M.L., Chante, J.P., and Renault, D.: ‘Electrical and electrothermal 2D simulation of a 4H-SiC high voltage current limiting device for serial protection application’. Proc. Int. Symp. Power Devices and ICs, ISPSD’2000, pp. 287–290
- [11] Tournier, D., Godignon, P., Montserrat, J., Planson, D., Paynaud, C., Chante, J.P., de Palma, J.-F., and Sarrus, F.: ‘A 4H-SiC High-power-density VJFET as controlled current limiter’, IEEETrans. Ind. Appl., 2003, 39, pp. 1508–1513
- [ 12 ]J. Milla « Wide band-gap power semiconductor devices” IET Circuits Devices Syst., 2007, 1, (5), pp. 372–379
- [13] D.Tournier « Conception, Réalisation, et Caractérisation d'un Composant Limiteur de Courant Commandé en Carbure de Silicium et Son Intégration Système », thèse de doctorat, INSA de lyon, 2005 p 140-157
- [14] F.Nallet, « Conception, Réalisation, et Caractérisation d'un Composant Limiteur de Courant en Carbure de Silicium », thèse de doctorat Cegely, Lyon : INSA de Lyon,2001, p137-162

- [15] N.Assri, « Conception d'un Thyristor 5kV en Carbure de Silicium Pour Assurer la Génération D'impulsion de Forte Energie », Thèse de doctorat Cegely, Lyon :INSA de Lyon, 2001,
- [16] P.Brosselard, « Conception D'interrupteurs en SiC », thèse INSA de Lyon CEGELY-2004
- [17] : Berzelius J. J, « Unterfuchungen uber die Flufsfpathfaure und deren merkwurdiqften Verbindungen », Annalen der Physik und Chemie. Vol 1,1824, p169-230.
- [18] : H. Moissan, « Etude du Siliciure de carbone deméeteorite de canon Diablo », Comptere-  
redu des Séances de l'Académie des Sciences , Paris. Vol.140, 1905, p.405-406.
- [19] :E.G. Acheson, « Production of crystalline carbonaceous materials», Brevet n°  
US492767, 1892.
- [20] : H.J Round, «A note on Carborundum», Electrical World. Vol. 19, 1907, p 309-312.
- [21] : J.A.Lely, « Darstellung von Einkristallen von Silizium Karbid und Beherrschung von Art und Menge eingebauten Verunreinigungen» . Ber. Deut. Keram. Ges. Vol. 32, 1955, p 229-236.
- [22] : Y.M. Tairov, V.F. Tsekov, "Investigations of growth processes of ingots of silicon carbide crystal ", J. Cryst. Gryst. Growth, 1978. vol43, no. 2, p.209-212.
- [ 23] : D. Tournier, « Composants de puissance en SiC » technique de l'ingénieur D3 120-6.
- [24] : Cree Reaserch [en ligne]. USA : CREE. Disponible sur Internet à l'adresse  
:http://www.cree.com.  
, Piscataways, NJ,USA 2000, p.3-9 (Cat. No 00CH37094).
- [25] : J.Lefevre, « Etude des effets d'irradiation dans le polytype cubique du carbure de silicium par les thechniques spectroscopiques de photoluminescence et de resonance paramagnetique electronique », thèse de doctorat école polytechnique (2008). P 9
- [26] : I.El.Harrouni, " Analyse des Défauts et Propriétés Electroniques du SiC-4H Par Voie Optique », Thèse de doctorat, INSA de Lyon, 2004 p 9-10.
- [27] : Sang-Kwon Lee, "Processing and Characterization of Silicon Carbide (6H- and 4H-SiC) Contacts for High Power and High Temperature Device Applications", PhD Dissertation,KTH, Royal Institute of Technology, Department of Microelectronics andInformation Technology, DeviceTechnology Laboratory, Stockholm 2002
- [28] : T.B.Salah, « Contribution à la conception des dispositifs de puissance en carbure de silicium : étude et extraction des paramètres », thèse de doctorat INSA de Lyon, 2007, p18-19.

- [29] D. Risaletto, « Caractéristique en Commutation de Diode Haute Tension en Carbure de Silicium », thèse doctorat, INSA de Lyon, France 2007.
- [30] : Bressemaud « Conception, réalisation et caractérisation d'interrupteurs (Thyristors et JFETs) haute tension (5kV) en carbure de silicium ». These de doct, INSA de Lyon, France, 2004, 181p.
- [31] : H. Vang, « Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium », thèse de doctorat L'INSA de Lyon 2006 p28-29
- [32] : K. Isoird, « Etude de la tenue en tension des dispositifs de puissance en carbure de silicium par caractérisation OBIC et électriques », thèse de doctorat l'INSA de Lyon, 2001, p24.
- [33] : E. Johnson, « physical limitations on frequency and power parameters of transistor », R.C.A. Rev, vol 26, 1965, p163-177.
- [34] : N. Kuroda, K. Shibahara, W.S. Yoo, S. Nishino, H. Matsunami, « Step-controlled Vpe growth of SiC single crystals at low temperatures », 19<sup>th</sup> Conf. On solid State Devices and Mater, Bus. Center Acad. Soc. Japan, Tokyo, 1987, p227-230.
- [35] : Heu Vang, « Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium » thèse INSA de Lyon 18/12/2006 pp 58
- [36] : A. Ellison, et al., « Sic crystal growth by HTCVD », Mater. Sci. Forum ~01457-460, 2000p, p. 9- 14.
- [37] : O. Kordina, A. Henery, E. Janzen, C.H. Carter, Jr, « Growth and Characterisation of SiC Power Device Material », Materials Science Forum, 1998, Vols 264-268, p97-102.
- [40] : J. Crofton, L.M. Potter, J.R. Williams, « The Physics of ohmic contacts to SiC », Phys. Stat. Sol, 1997, Vol. 202b, p.581-603.
- [41] : L. Baud, « Etude des interactions Métal/SiC, Application à la réalisation de contacts ohmiques pour les dispositifs électronique en carbure de silicium », thèse de doctorat, Inst. Nat. Poly. Grenoble, 1995, p169.
- [42] : Y. Luo, F. Yan, K. Tone, J.H. Zhao, J. Crofton, « Searching for Device Processing Compatible Ohmic Contacts to Implanted p-type 4H-SiC », Materials Science forum, 200, Vols. 338-342, p.1013-1016.
- [43] : H. Bracht, N.A. Stolwijk, M. Laube, And G. Pensl. Modeling of Boron Diffusion in Silicon Carbide. Mater. Sci. Forum, 353-356 (2001), p.327
- [44] : A.A. Lebedev. Deep Level centers in silicon carbide: a review. Semiconductors, 33 (1999), p107.

- [45] : G.Pensl and W.J.Choyke. Electrical and optical characterization of SiC. *Physica B*, 185 (1993), p. 264.
- [46] : D.Hfmann, E.Schmitt, M. Bickermann, M.Kolbl, P.J.Wellman and A.Winnacker, “Analysis on defect generation during the SiC bulk growth process”, *Materials Science and Engineering B*, 1999, Vol.61-62, pp 48-53.
- [47] : A.T. Blumenau, R.Jones, S. Oberg, P.R. Briddon and T. Fraunheim, “Basal plane dislocations in silicon carbide”, *Physica B:Condensed Matter*,2003, Vol, 340-342, pp160-164.
- [48] : H. Lendenmann, F. Dahlquist et al, « High power SiC diodes : Characteristics, Reliability, and relation to material defects », *Materials Science Forum*. Vol. 389-393, pt.2, 2002, p.1259-64.
- [49] : H.Matsunami, “Progress in Wide Bandgap Semiconductor SiC for Power Devices” 12<sup>th</sup> International Symposium on Power Semiconductor Devices & ICs, Proceedings, IEEE 2004
- [50] : Cooper A.,” Best reported WBG power device performance”, Purdue: university of Purdue, 2001.([http://www.ecn.purdue.edu/WBG/Data\\_bank/Best\\_performances.html](http://www.ecn.purdue.edu/WBG/Data_bank/Best_performances.html) ).
- [51] : Y. Sugawara Y., D. Takayama et al.”12 kV and 19kV 4H-SiC Pin diodes with low power loss”. Proceedings of the 2001 ISPSD, Osaka :04-07 Juillet 2001, p27-30.
- [52] : Y. Sugawara, K. Asano, et al “5.0kV 4H-SiC SEMOSFET with low R<sub>on</sub> of 88 mΩ.cm<sup>2</sup>“, *Materials Science Forum*. Vol. 389-393, pt.2 2002, p. 1190-292.
- [53] : Linköping University, ”The Materials Science SiC Homepage”( [http://www.ifm.liu.se/Matephys/new\\_page/research/sic](http://www.ifm.liu.se/Matephys/new_page/research/sic)).
- [54] : Northrop-Grumman, “Advanced Technology Center, Compound Semiconductor Research”, (<http://www.es.northropgrumman.com/es/atc/index.htm>).
- [55 ] : M. Treu, R. Rupp, P. Blaschitz, J. Hilsenbeck;” Commercial SiC device processing: Status and requirements with respect to SiC based power devices”; *science Direct Superlattices and Microstructures* 40 (2006), pp 380–387
- [56] : Y.Sugawara, D. Takayama, K. Asano, R. Singh, J. Palmour, T. Hayashi : “12-19 kV 4H-SiC pin Diodes with Power Loss” Proceedings of International Symposium on Power Semiconductor Devices & ICs,2001, Osaka, pp.27-30.
- [ 57 ] : Hull, B.A., Das, M.K., Richmond, J.T., Sumakeris, J.J., Leonard, R., Palmour, J.W., and Leslie, S.: ‘A 180 Amp/4.5 kV 4H-SiC PiN diode for high current power modules’. Proc. Int. Symp. Power Devices and ICs, ISPSD’2006, pp. 277–280

- [58] : M. Bhatnagar, P .K. McLarty, B.J.Bliga “Silicon carbide high voltage (400V) Schottky barrier diodes “ IEEE, Electron Device Letters, 1992; Vol.13, p501-503.
- [59] : R. Singh, J. A. Cooper Jr, T. P. Chow and J.W.Palmour, “SiC Power Schottky and PiN diodes “IEEE transaction On Electronics Devices, April 2002, Vol. 49 n°4 pp.665-672.
- [60] : Rupp, R., Treu, M., Voss, S., Dahlquist, F., and Reimann, T.: ‘2<sup>nd</sup> generation SiC schottky diodes: a new benchmark in SiC device ruggedness’. Proc. Int. Symp. Power Devices and ICs, ISPSD’2006, pp. 269–272
- [61]Peter Friedrichs; Silicon Carbide power semiconductors – new opportunities for high efficiency IEEE Explore December 2008, 978-1-4244-1718-6
- [62] : Y.Tang, J.B. Fedison, T. P. Chow “High-Voltage Implanted-Emitter 4H-SiC BJTs” IEEE Electron Device Letters Janvier 2002, Vol. 22, N°1, pp. 16-18.
- [63] : Q. Zhang, C. Jonas, S. Ryu, A. Agarwal, and J. Palmour, “Design and fabrications of high voltage IGBTs on 4H-SiC,” in *Proc. ISPSD*, Jun. 2006, pp. 285–288.
- [64] : Q. Zhang, C. Jonas, S. Ryu, A. Agarwal, and J. Palmour, “New improvement results on 7.5 kV 4H-SiC p-IGBTs with  $R_{diff}$  on of  $26 \text{ m}\Omega \cdot \text{cm}^2$  at  $25 \text{ }^\circ\text{C}$ ,” in *Proc. ISPSD*, 2007, pp. 281–284.
- [65]: Q. Zhang, C. Jonas, J. Sumakeris, A. Agarwal, and J. Palmour, “12 kV 4H-SiC p-IGBTs with record low specific on-resistance,” presented at the Int. Conf. Silicon Carbide and Related Materials (ICSCRM), Otsu, Japan, Oct. 14–19, 2007.
- [66] : S.H. Ryu, K. Agarwal, R. Singh, J.W. Palmour “3100V? Asymmetrical, Gate Turn-Off(GTO) Thyristors in 4H-SiC” IEEE Electron Device Letters, March 2001 Vol. 22 N°3, pp. 127-129.
- [67] : R.Perret, W.J.Choyke, “Electrical and optical characterization of SiC”,Physica B, 1993, vol .185-p.264-283.
- [68] : J.Spitz, J.Melloch, R.Cooper, J.Jr.Capano, M.A.”2.6 kV 4H-siC Lateral DIMOSFAT’s” IEEE Electron Device Letters 1998, vol 19 N°4 pp.100-102.
- [69]. S.H.Ryu, S.Krishnaswami, M.Das, J.Richmond, A.Agarwal, J.Palmour, J.Scofield, Material Science Forum, Volumes 483-485, pp. 797-800 (2005)
- [70] Miura, N., Fujihira, K., Nakao, Y., Watanabe, T., Tarui, Y., Kinouchi, S., Imaizumi, M., and Oomori, T.: ‘Successful development of 1.2 kV 4H-SiC MOSFETs with very low on-resistance of  $5 \text{ mV cm}^2$ ’. Proc. Int. Symp. Power Devices and ICs, ISPSD’2006, pp. 261–264

- [71] Ryu, S.-H., Krishnaswami, S., Hull, B., Richmond, J., Agarwal, A., and Hefner, A.: '10 kV, 5 A 4H-SiC power DMOSFET'. Proc. Int. Symp. Power Devices and ICs, ISPSD'2006, pp. 265–268
- [72] : R.Mousa, D. Planson, H.Morel, C.Raynaud"High temperature characterization of SiC-JFET and modelling, EPE (2007).
- [73] Friedrichs, P.; Mitlehner, H.; Schörner, R.; Dohnke, K.-O.; Elpelt, R.;Stephani, D.: *The vertical silicon carbide JFET – a fast and low loss solid state power switching device*. EPE 2001, Graz, Austria.
- [74] : Tsukuda, M.; Omura, I.; Domon, T.; Saito, W.; Ogura, T.:*Demonstration of High Output Power Density (30 W/cc) Converter using 600V SiC-SBD and Low Impedance Gate Driver*. IPEC 2005, Niigata, Japan.
- [75] : Majumdar, G.: *Future of Power Semiconductors*. PESC 2004, Aachen,Germany.
- [76] Peter Friedrichs ; Unipolar SiC Devices – Latest Achievements on the Way to a New Generation of High Voltage Power Semiconductors;IEEE explore 1-4244-0449-5/06.
- [77] : A.Melkonyan; "High efficiency Power Supply using new SiC devices" These, Kassel, Univ, Diss.2006
- [78] : Homberger, J.M.; Mounce, S.D.; Schupbach, R.M.; Lostetter, A.B.; Mantooth, H.A, "High-temperature silicon carbide (SiC) power switches in multichip power module (MCPM) applications" Fourtieth IAS Annual Meeting. Conference Record, Volume 1, Issue , 2-6 Oct. 2005 Page(s): 393 - 398 Vol. 1
- [79] : L. Tolbert, M. Chinthavali, B. Ozpineci, H. Zhang, " High Temperature Power Electronics - SiC Devices Based Applications & Issues", International Conference on High Temperature Electronics (Hitec 2006), Santa Fe (USA), 15-28 May 2006, 4 pages – 2006
- [80] : K.Mino, Herold, and J.Kolar, "Agate Drive Circuit For Silicium Carbide JFET", Proceeding of the 29<sup>th</sup> Annual Conference of the IEEE Industrial Electronics Society, Roanoke (VA), USA, November 2-6, 2003, pp. 1162-1166.
- [81] : Daniel Domes, Wilfried Hofmann "SiC JFET in Contrast to High Speed Si IGBT in Matrix Converter Topology », IEEE explore 1-4244-0655-2/07
- [82] : Stephani, D.: 'Today's and tomorrow's industrial utilization of silicon carbide power devices'. Proc. 10th Eur. Conf. Power Electronics and Application, EPE'2003

[83] : Friedrichs, P., Mitlehner, H., Schörrner, R., Dohnke, K-O., Elpelt, R., and Stephani, D.: 'Stacked high voltage switch based on SiC VJFETs'. Proc. Int. Symp. Power Devices and ICs, ISPSD'2003, pp. 139–142

[84] : H. Onose, A. Watanae, T. Someya, Y. Kobayashi "2KV 4H-SiC Junction FET's " Material Science Forum, 2002, Vol. 389-393, pp. 1227-1230.

[85] : J. H. Zhao, X. Li, K. Tone, P. Alexandrov, M. Pan, M. Weiner "A Nvel High- Voltage Normally-Off 4H-SiC Vertical JFET 3 Materials Sciences Forum, 2002, vols. 389-393 pp, 1223-1226.

[86] : P. Fridrichs, H. Mitlehner, R. Kaltschmidt, U. Weinert, W. Bartsch, C. Hecht, K. O. Dohnke, B. Weis, D. Stephani " Static and Dynamic Characteristics of 4H-SiC JFETs. Designed for Different Blocking Categories" Materials Sciences Forum 2000 Vols 338-342pp. 1243-1246.

# **CHAPITRE II**

## **Caractérisation Expérimentale de transistors JFET SiC en régime de limitation de courant**



## **II.1.Introduction :**

L'utilisation de composants de puissance pour des applications de protection série ou parallèle nécessite au préalable des phases de caractérisation électriques afin de garantir la faisabilité, la robustesse, les aires de sécurité et si possible la fiabilité des dispositifs de protection.

De nombreux papiers traitent du comportement des transistors IGBT en régime extrême de fonctionnement, qu'il s'agisse de court-circuit ou d'avalanche et que ce soit au niveau du composant ou sous l'aspect circuit [1]. La modélisation physique du comportement de transistors IGBT en régime de court-circuit [2] a permis de mieux appréhender les phénomènes fondamentaux liés à ce mode de fonctionnement accidentel.

Mais jusqu'à présent, il n'existe pas à notre connaissance de travaux de caractérisation expérimentale sur le comportement et les limites de fonctionnement de transistors JFET SiC en régime de court-circuit ou en régime d'avalanche.

Dans ce chapitre nous étudierons le comportement des transistors JFET SiC principalement en régime de limitation de courant (ou régime de court-circuit). La première partie du chapitre sera consacrée à une étude bibliographique pour les deux régimes extrêmes de fonctionnement (principalement consacrée aux transistors MOSFETs et IGBTs). Nous détaillerons ensuite les bancs de tests réalisés au SATIE, ainsi que les premiers résultats obtenus sur les transistors JFET en régime de limitation de courant.

## **II.2.Etude bibliographique :**

### **II.2.1.Court-circuit :**

#### **II.2.1.1.Introduction :**

L'une des caractéristiques à considérer dans le cadre de la fiabilité des composants est le court-circuit, durant lequel plusieurs modes d'initiation de défaillances peuvent se produire suivant les composants utilisés et les conditions de court-circuit appliquées.

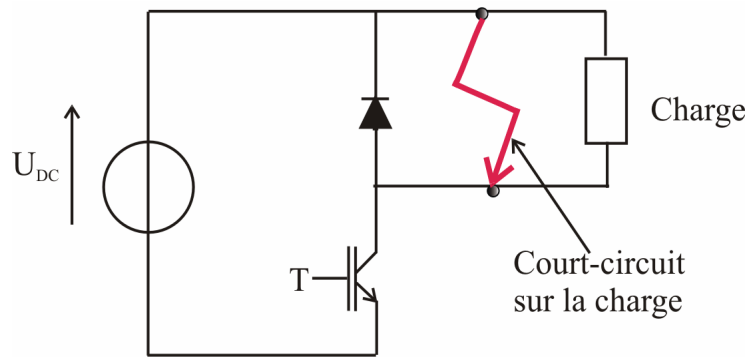


Fig II.1: Schéma de principe montrant la mise en court-circuit d'un transistor

Le régime de court-circuit impose des contraintes sévères aux semi-conducteurs de puissance. Il peut conduire à leurs destructions car les composants sont soumis aux limites de leurs possibilités thermiques et électriques. Il existe deux types de court-circuit : court-circuit de type I et de type II.

### II.2.1.2. Court-circuit de type I :

Il se produit lorsque le court-circuit sur la charge est présent avant la fermeture du composant. Dans le cas où on rend passant le transistor il sera soumis à une phase de court-circuit. La vitesse de croissance du courant peut être limitée par l'inductance de maille du circuit si cette dernière est importante ou par le transistor lui-même. En régime de saturation, l'échauffement de la puce au cours du temps explique la décroissance du courant (réduction de la mobilité des porteurs dans le canal des transistors MOSFET ou IGBT).

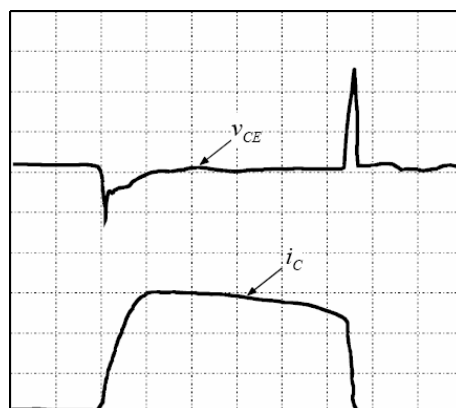


Fig II.2: Court-circuit type I [3]

### II.2.1.2.1. Court-circuit de type II:

Dans ce cas, le court-circuit sur la charge se produit alors que le transistor est déjà conducteur. A l'apparition du court-circuit, on note une croissance rapide de la tension aux bornes du transistor provoquant un fort courant impulsionnel qui sera d'autant plus important que la maille de commutation sera inductive (augmentation de la tension grille source à travers la capacité de contre réaction).

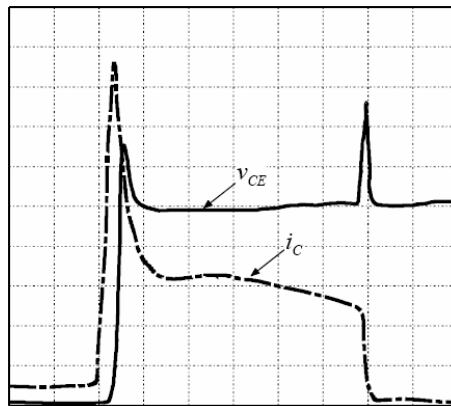


Fig II.3: court-circuit type II [3]

### II.2.1.2.2. Différents modes de défaillance en court-circuit :

D'après les travaux de P.Baudesson [4], F. Saint Eve [6] et A.Benmansour [5], on distingue quatre principaux modes de défaillance en court-circuit:

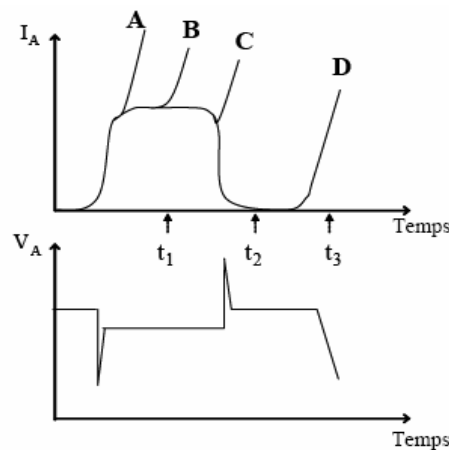


Fig II.4 : Différentes défaillances en mode de court-circuit [5]

**Mode A** : la défaillance se produit au début de la mise en court-circuit, durant la phase de fermeture du composant. La défaillance peut être due à la forte tension appliquée conduisant au claquage prématuré de la structure ou au phénomène de latch-up [7, 8, 9].

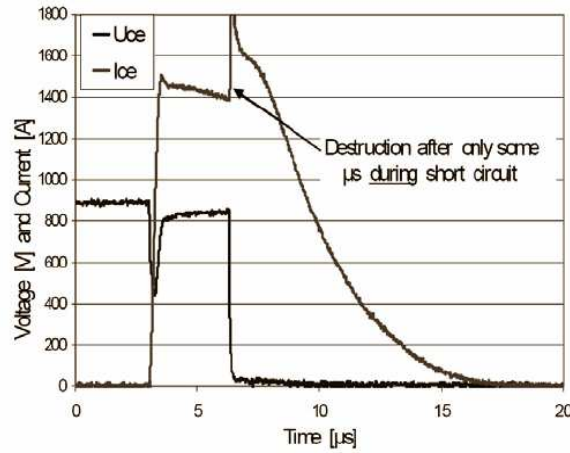


Fig II.5: Défaillance survenant peu de temps après l'apparition d'un régime de court-circuit mode A, d'après [14]

**Mode B** : se produit durant la phase de conduction du transistor, entre les phases de fermeture et d'ouverture du composant. Au-delà d'un certain seuil de courant l'IGBT agit comme un limiteur de courant. La forte dissipation de puissance imposée par la présence simultanée du courant de saturation et de la tension explique l'échauffement très rapide de la puce. La principale cause de ce mode de défaillance est l'emballement thermique résultant de l'augmentation du courant de diffusion avec la température [10, 11, 12, 13].

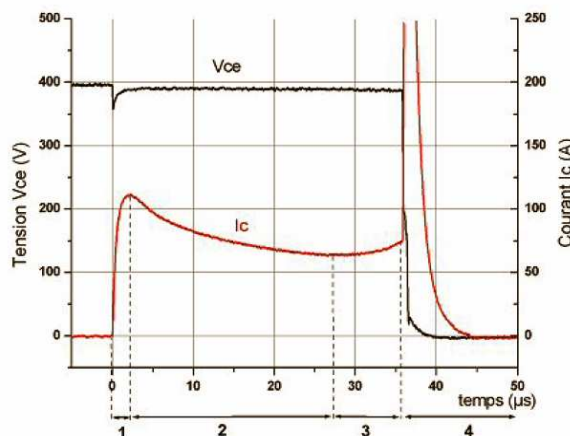


Fig II.6 : Destruction directe d'un IGBT en court-circuit, sous  $V_{cc} = 405V$  et  $T_c = 25^\circ C$  (mode B) [14]

**Mode C** : La défaillance apparaît dans ce cas durant la phase d'ouverture du composant, au temps  $t_2$  la tension de grille a été réduite à zéro et le courant a été supprimé de la structure, le champ électrique reste élevé au niveau de la jonction polarisée en inverse. Ceci est dû à l'application continue de la forte tension sur la structure. La défaillance au blocage d'un courant de court-circuit peut être expliquée par un phénomène de latch-up lié à une ouverture non homogène du courant.

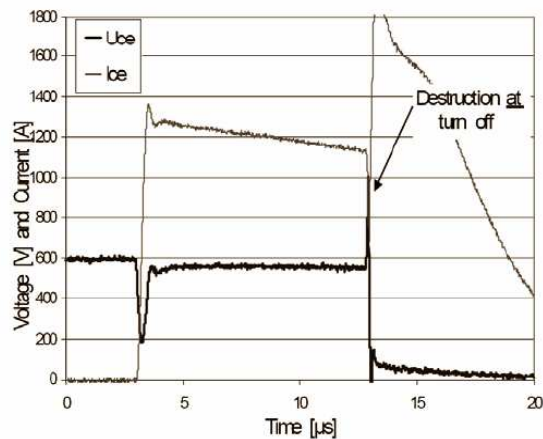


Fig II.7 : Défaillance au blocage sur IGBT 1700 V mode C, d'après [14]

**Mode D** : La défaillance apparaît plusieurs  $\mu s$  après la mise en ouverture, et correspond également à un phénomène d'emballement thermique [15, 16, 17] (défaillance retardée, mode de défaillance semblable au mode B).

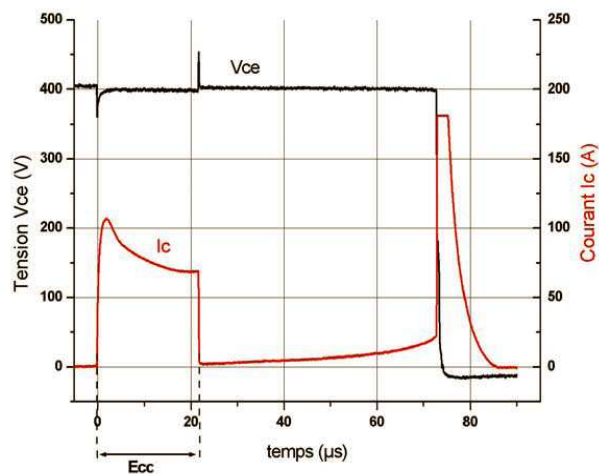


Fig II.8 : défaillance retardée mode D d'après [14]

Lorsqu'un de ces modes de défaillance est atteint le défaut devient physique, le courant n'est plus contrôlé et augmente rapidement (dépend du circuit), l'IGBT est détruit. Cela se traduit généralement par une fusion locale du semi-conducteur, avec un court-circuit physique entre les électrodes de puissance.

### II.3. Phénomène d'avalanche :

L'avalanche est un mode de défaillance qui peut faire suite à une perturbation de la valeur de la source d'alimentation (fluctuation importante de la tension du réseau, foudre etc...). D'autre part, une commande trop rapide à l'ouverture peut provoquer des surtensions importantes qui peuvent entraîner un fonctionnement en régime d'avalanche. Une autre cause est celle qui correspond à l'ouverture accidentelle d'un circuit inductif voir figure ci-dessous suite à la défaillance d'une diode de roue libre par exemple. Enfin, dans certaines utilisations telles que les applications de disjoncteur statiques, les composants à SiC peuvent être amenés à ouvrir le courant sur une charge inductive et donc à fonctionner en régime d'avalanche.

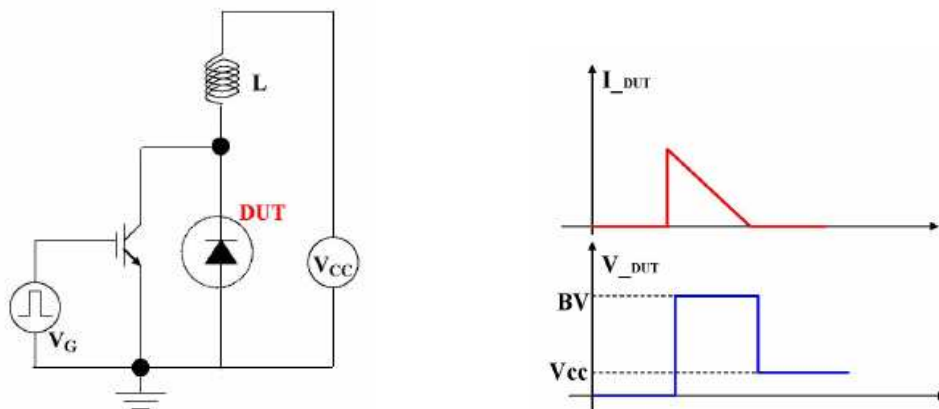


Fig II.9 : Circuit de test pour la caractérisation de composants sous test en régime d'avalanche [ 18 ]

Lorsqu'un composant se bloque, la zone de charge d'espace s'agrandit et le champ électrique augmente. Ce champ électrique intense a une action sur les porteurs mobiles présents dans cette région : les électrons se déplacent dans le sens inverse du champ et les trous dans l'autre sens. Ce mouvement s'ajoute au mouvement désordonné dû à l'agitation thermique. Ces porteurs de charge mobiles sont donc accélérés par le champ électrique. S'ils acquièrent une énergie cinétique suffisante entre deux collisions successives sur le réseau cristallin, ils peuvent briser des liaisons de covalence et donc générer des paires électrons/trous supplémentaires.

Ces porteurs ainsi générés sont accélérés par le champ et peuvent à leurs tours générer d'autres porteurs. Ce phénomène qualifié d'avalanche, se traduit par une augmentation brutale du courant inverse. Au-delà d'un certain seuil, le processus de multiplication est autonome et entraîne le claquage de la puce. Si le courant d'avalanche n'est pas contrôlé, l'énergie dissipée au sein du composant peut devenir très importante, entraînant sa destruction par emballement thermique.

Lors d'un fonctionnement en avalanche suite à l'ouverture d'un courant inductif, l'énergie dissipée est donnée par la relation suivante :

$$E_{AS} = \frac{1}{2} LI^2_{DMAX} \frac{V_{BR}}{V_{BR} - U_{DC}} \quad (II.1)$$

Avec  $V_{BR}$  la tension d'avalanche,  $U_{DC}$  tension d'alimentation et  $I_{DMAX}$  la valeur maximale du courant atteint à l'instant de la commutation d'ouverture.

Il existe de nombreux articles qui traitent des régimes d'avalanche sur des transistors et des diodes, Soo-Seong Kim [18], Chih-Cieeh Shen [19], Wang [20], Heum [21], Yama [22].

La figure ci-dessous présente l'ouverture d'un courant inductif ayant entraîné un transistor COOLMOS en régime d'avalanche non destructif. Cette figure montre le bon comportement de ce composant dans ce mode de fonctionnement. Malgré la forte énergie dissipée ( $E=0.85J$ ), le transistor ouvre correctement le courant tout en écrêtant la tension pendant environ  $150\mu s$  à une valeur légèrement supérieure à  $800V$ .

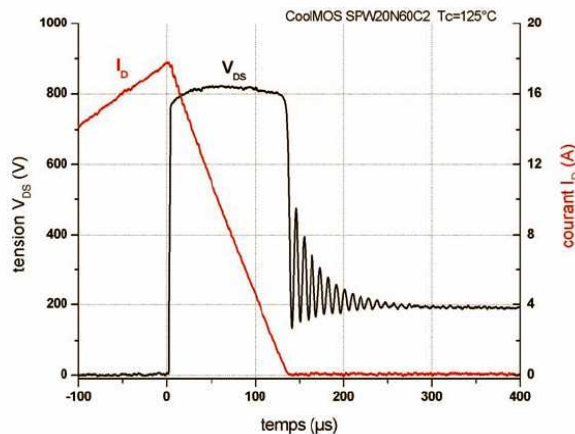


Fig II.10 : Test non destructif de tenue à l'avalanche d'un transistor CoolMOS SPW20N60C2, testé sous une énergie  $E=0.85 J$  et à  $T_c=125^\circ C$  [6]

Par contre lorsque le transistor cherche à ouvrir un courant d'amplitude plus élevé, le composant est directement détruit pendant l'avalanche, comme nous pouvons le constater sur la figure ci-dessous, qui représente les formes d'ondes du courant  $I_D$  et de la tension  $V_{DS}$  d'un transistor CoolMOS™ 600V, soumis à un régime d'avalanche d'énergie dissipée  $E=0.92J$ , et à une température de boîtier  $T_C=125^\circ C$ . La destruction intervient ici au bout d'environ  $70\mu s$ , alors que le courant  $I_D$  est de l'ordre de 12 A.

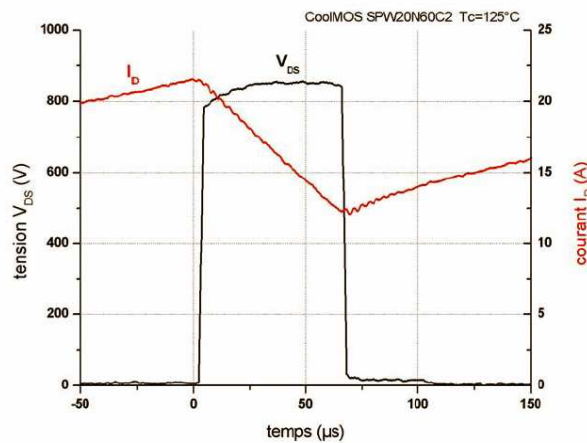


Fig II.11 : Test destructif par l'avalanche d'un transistor CoolMOS SPW20N60C2, testé sous une énergie  $E=0.92 J$  et à  $T_c=125^\circ C$  [6]

## II.4. Description du banc de caractérisation pour l'étude du comportement des transistors JFET en régime de limitation de courant (court-circuit) :

### II.4.1 : Banc électrique :

Le principe du banc de test en régime de court-circuit est similaire à ceux que l'on peut trouver dans la littérature [1] [2]. Il a été réalisé dans le but de pouvoir effectuer de nombreux tests de court-circuit sur différents types de transistors JFET-SiC et pour différentes températures de boîtier. Le transistor JFET fonctionne en régime de limitation de courant et est maintenu continûment passant (jonction grille source en court-circuit).



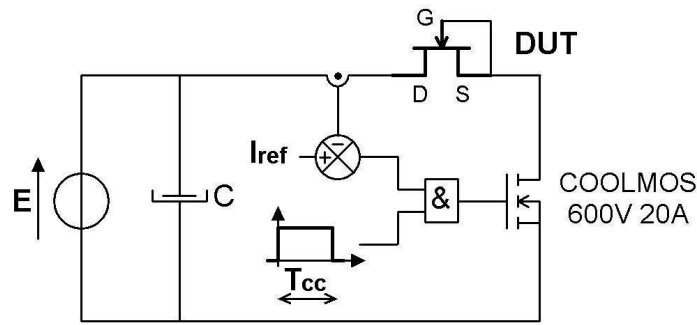


Fig II.12 : Banc de test

La fig II.11 : montre le schéma de principe du banc de test qui fait apparaître les éléments suivants :

- Une source de tension continue (0-600V) servant à la charge des condensateurs
- Un banc de condensateurs, source d'énergie du banc de test.
- Un transistor COOLMOS 600V qui pilote le courant dans le transistor JFET sous test et assure la fonction de disjoncteur statique.
- Un transistor JFET-SiC, (noté DUT pour Device Under Test).

Les essais ont été effectués sur deux types de transistors JFET-SiC de différentes générations. Les caractéristiques physiques disponibles sont résumées dans le tableau ci-dessous.

Tableau II.1 : Caractéristiques des puces JFET SiC testées

Puce	Epaisseur SiC ( $\mu\text{m}$ )	Epaisseur Al ( $\mu\text{m}$ )	S. totale ( $\text{mm}^2$ )	S. active ( $\text{mm}^2$ )
Puce SiC (1200V 15A)	380	3	5.76	4
Puce SiC (1300V 2A)	380	3	4.4	2.3

Le banc de test intègre également les éléments suivants :

- Le circuit de commande du transistor sous test qui permet notamment de régler la durée de la phase de court-circuit et l'envoi de l'impulsion de commande qui délivre une tension de  $\pm 15\text{V}$  aux bornes du COOLMOS.
- Un oscilloscope numérique Lecroy LT264.

- Une sonde de courant Lecroy AP015 : Courant d'entrée max: 30A, la bande passante est de 50 MHz.
- Une sonde différentielle haute tension : Tension différentielle d'entrée max: 1400 V, Bande passante: 100 MHz, Précision: 2%.



Fig II.13: Oscilloscope Lecroy AP105 et les deux sondes de tension et de courant

#### II.4.2. Banc de contraintes thermiques :

Le banc électrique à été complété pour les tests de court-circuit des transistors JFET-SiC à haute température par une plaque chauffante munie d'un régulateur du type PID. Ce dispositif permet de contrôler la température jusqu'à 175°C environ. La mesure de la température ambiante est effectuée à l'aide d'un thermocouple placé sur la semelle des composants sous test.

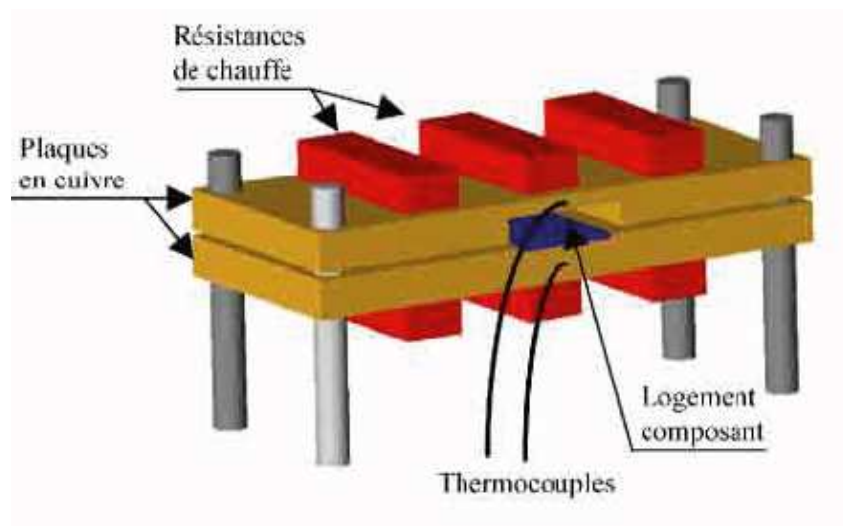


Fig II.14 : Représentation du dispositif de chauffage des transistors sous test

Pour pouvoir aller au delà de 200°C un autre dispositif de chauffage a été conçu. Le principe est basé sur l'injection d'un flux d'air chaud à l'intérieur d'un cylindre à travers le quel on place le transistor JFET sous test.

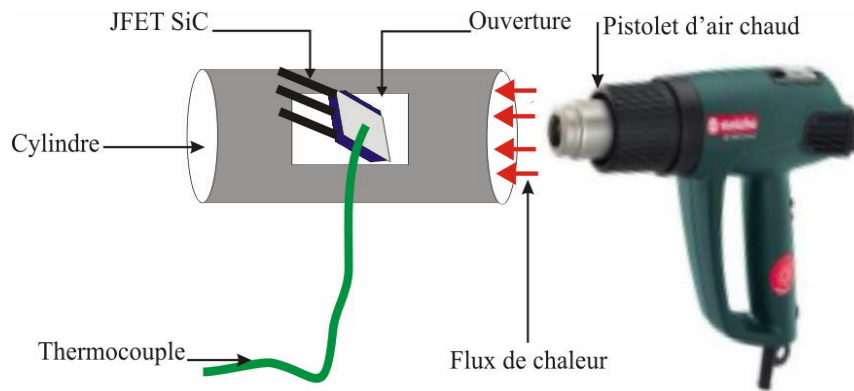


Fig II.15 : Principe du dispositif de chauffage à air chaud

## II.5 Résultats des essais

### II.5.1 Caractérisations préliminaires :

#### II.5.1.1 Variation du courant de saturation avec la tension d'alimentation :

Dans un premier temps nous avons cherché à évaluer pour les deux puces JFET-SiC 1200V-15A et JFET-SiC 1300V-2A, l'effet de la tension d'alimentation  $E$  sur le courant de saturation pour une température ambiante constante de 25°C. Les JFET-SiC sont maintenu passant à ( $V_{gs}=0$ ).

La mise en conduction du transistor est assurée par un transistor COOLMOS 600V 20A, qui assure aussi la fonction de disjoncteur statique (courant de déclenchement fixé à 100A). Les JFET sont placés en court-circuit et doivent limiter le courant tout en supportant la tension appliquée.

##### II.5.1.1.1. JFET-SiC 2A:

Le transistor étant maintenue passant ( $V_{gs}=0$ ), la tension  $V_{ds}$  varie entre 50 et 550V pour une température ambiante de 25°C pendant 8 $\mu$ s.

On constate une faible diminution du courant de saturation à faible tension pendant pendant la phase de limitation de courant. Cette faible dépendance du courant de saturation avec la tension nous laisse supposé que l'échauffement de la puce et presque négligeable. Lorsque la tension s'élève, la diminution du courant est plus significative, ce qui traduit un échauffement de la puce.

On remarque que l'ensemble des courbe converge vers un même point on début de la phase de court-circuit, une fois passé le régime transitoire.

Cette remarque laisse supposer une faible dépendance du courant de saturation à la tension pour une même température de cristal.

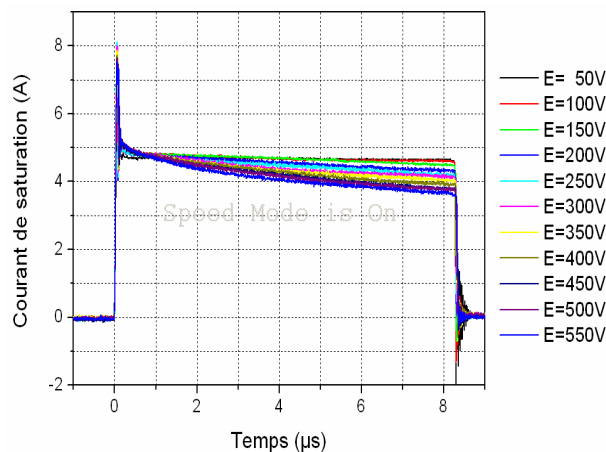


Fig II.16: Allure du courant de saturation en fonction du temps pour différentes tensions V<sub>ds</sub> en régime de court-circuit, pour le JFET-SiC 2A-1300V

### II.5.1.1.2. JFET-SiC 15A:

Le transistor est maintenu passant dans les mêmes conditions de température ambiante 25°C à des tensions V<sub>ds</sub> qui varient entre 50 et 400V pendant 6µs.

On constate à cause de l'échauffement de la puce pendant le régime de limitation de courant une diminution du courant de saturation plus importante que pour le précédent composant. La diminution du courant est d'autant plus significative que la tension est élevée (pertes plus importantes). On remarque aussi que l'ensemble des courbes converge sensiblement vers un même point en début de la phase de court-circuit, une fois passé le régime transitoire.

Cette remarque laisse aussi supposer une faible dépendance du courant de saturation à la tension pour une même température de cristal.

Les formes d'ondes du courant en fonction du temps pour un court-circuit de durée de  $6\mu\text{s}$  sont représentées sur la figure suivante pour les différentes tensions :

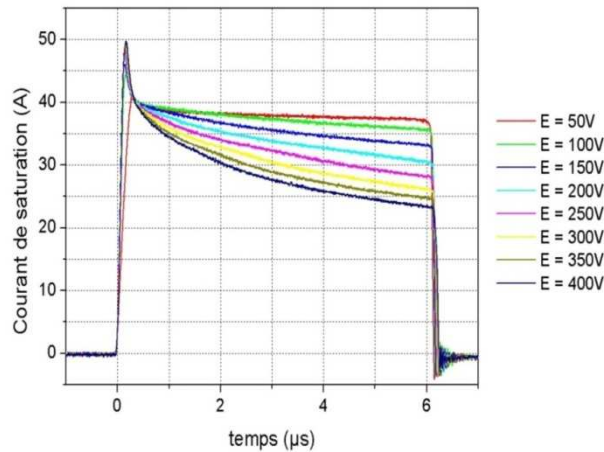


Fig II. 17 : Allure du courant de saturation en fonction du temps pour différentes tensions  $V_{ds}$  en régime de court-circuit

### II.5.1.2 Variation du courant de saturation avec la température sous faible tension :

Les essais de caractérisation en régime de limitation de courant ont été réalisés pour les deux types de puces déjà citées le JFET-SiC 1200V-15A et le JFET-SiC 1300V-2A, pour des durées de court-circuit faibles, inférieures à  $10\mu\text{s}$  afin de limiter l'auto-échauffement de la puce. La température ambiante varie de  $-60^{\circ}\text{C}$  à  $230^{\circ}\text{C}$ .

Les figures 17 et 19, ci-dessous montrent respectivement le comportement des JFET-SiC 1200V-15A et JFET 1300V-2A, en régime de limitation de courant sous faible tension d'alimentation et pour différentes températures ambiantes. Pour ces essais, les composants sous test sont placés dans une enceinte à air régulée en température.

Une faible tension d'alimentation (50V) a été dans un premier temps choisie afin de limiter l'élévation de la température dans le cristal SiC lors des phases de fonctionnement en limitation de courant et pouvoir assimiler la température ambiante à la température du cristal.

### II.5.1.2.1. JFET-SiC 2A :

On constate sur ce transistor que le courant de saturation est relativement constant pendant toute la durée de court-circuit, ce qui laisse effectivement supposer que l'échauffement de la puce est négligeable sous faible tension.

La phase de limitation est assurée et intervient toutefois après une phase transitoire liée à l'application de la tension aux bornes du JFET, qui génère une surintensité lors de la charge de la capacité de sortie du transistor.

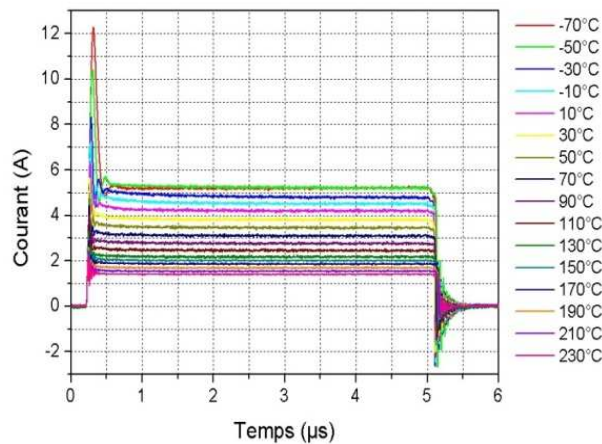


Fig II.18: Caractérisation en régime de limitation de courant, du JFET- SiC 1300V-2A tension d'alimentation  $U = 50V$ ,  $T$  variant de  $-70^{\circ}C$  à  $230^{\circ}C$ .

A partir de ces relevés, nous avons tracé la figure de l'évolution du courant de saturation pour le transistor (relevé  $0.5\mu s$  après la mise en conduction). Cette figure représente l'évolution du courant de saturation avec la température variant de  $-70^{\circ}C$  à  $230^{\circ}C$  à faible tension entre drain et source.

On constate une très importante dépendance du courant de saturation avec la température, cette évolution marque une valeur maximale à  $-50^{\circ}C$  de l'ordre de  $5,3 A$  à environ  $1,5 A$  à  $230^{\circ}C$ .

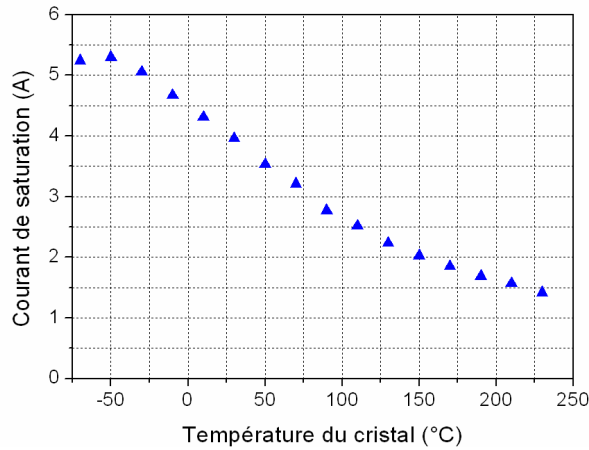


Fig II.19: Variation du courant de saturation en fonction de la température le JFET-SiC  
 1300V-2A tension d'alimentation  $U=50V$ ,  $T = -70^{\circ}C$  à  $230^{\circ}C$

### II.5.1.2.2. JFET-SiC 15A:

Le courant de saturation dans ce transistor varie avec la température pendant la phase de court-circuit, même à faible niveau de tension, ce qui peut être expliqué par un échauffement de la puce lié à des pertes plus élevées (densité de courant de saturation plus importante).

On voit que le transistor assure bien la phase de limitation du courant pendant une durée de  $6\mu s$ , la phase de saturation intervient après une phase transitoire de quelques dizaines de ns liée à l'application de la tension aux bornes du JFET, qui génère une surintensité lors de la charge de la capacité de sortie du transistor.

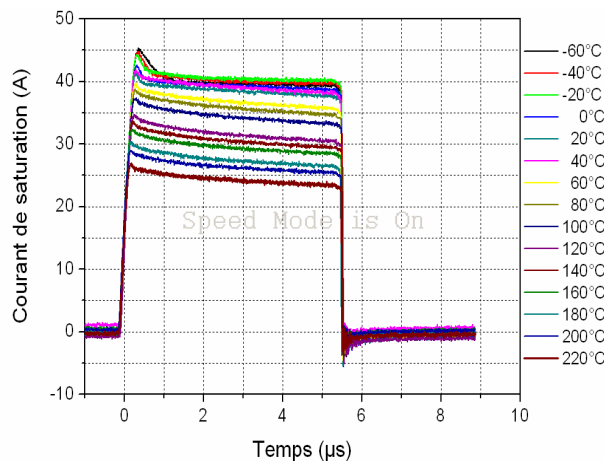


Fig II.20 : Caractérisation en régime de limitation de courant, du transistor JFET- SiC  
 1200V-15A, tension d'alimentation  $U=50V$ ,  $T$  variant de  $-60^{\circ}C$  à  $220^{\circ}C$

L'évolution du courant de saturation (relevé 0.5 $\mu$ s après la mise en conduction) avec la température à faible tension entre drain et source à été tracée à partir des relevés fig II.20, sur une plage de température variant de -60°C à 220°C.

On constate là encore sur ces relevés expérimentaux une forte dépendance du courant de saturation avec la température. Pour le JFET-SiC 1200V-15A, le courant de saturation présente une valeur maximale à la température -50°C de l'ordre de 40A. A 220°C le courant de saturation vaut environ 25A.

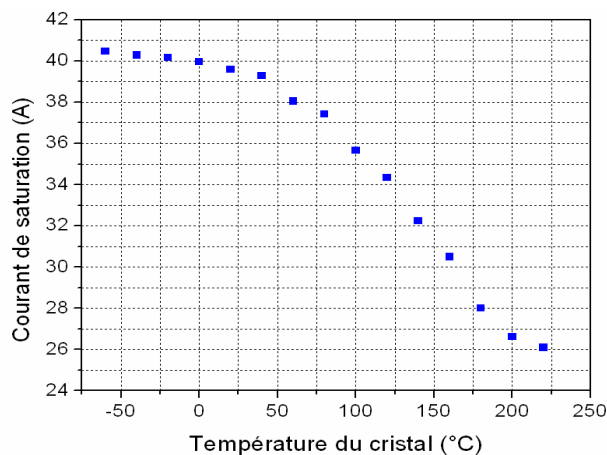


Fig II.21: Variation du courant de saturation en fonction de la température JFET- SiC 1200V-15A tension d'alimentation  $U=50V$ ,  $T$  variant de -60°C à 220°C

### II.5.1.3 Variation du courant de saturation avec la température sous tension plus élevée:

Nous avons ensuite caractérisé la variation du courant de saturation avec la température ambiante (ou température du boîtier ici pour de faible durée de phases de court-circuit) sous une tension significative (400V ici). Dans ces conditions, nous ne pouvons plus négliger l'auto-échauffement de la puce, ce qui explique la décroissance significative du courant de saturation durant la phase de limitation de courant ou phase de court-circuit. Les essais sont effectués en plaçant une nouvelle fois les transistors JFETs (en régime de limitation de courant) dans un flux d'air dont la température évolue entre 25° et 400°C. Nous avons enregistré l'évolution du courant de saturation avec le temps (sur des durées de court-circuit de l'ordre de 6  $\mu$ s) sous différentes températures ambiantes pour une tension d'alimentation de 400V.



Le courant de saturation est relevé pendant 6 $\mu$ s, après la mise en conduction du transistor COOLMOS. Les résultats obtenus sont représentés sur les figures ci-dessous.

### II.5.1.3.1. JFET-SiC 2A :

Pour ce transistor les résultats montrent une légère dépendance du courant de saturation avec la température, liée certainement à un plus faible échauffement de la puce pendant le régime de court-circuit et à la température ambiante (ou température du boîtier).

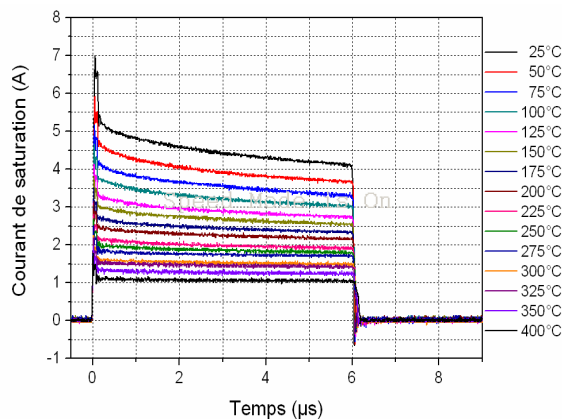


Fig. II.22 : Allure du courant de saturation fonction de la température en régime de court-circuit, JFET- SiC 1300V-2A tension d'alimentation  $U=400V$ ,  $T$  variant de  $27^{\circ}C$  à  $400^{\circ}C$

On constate que le transistor JFET-SiC testé est à même d'assurer une phase de limitation de courant (ou de supporter un régime de court-circuit) pour une température ambiante extrêmement élevée ( $400^{\circ}C$ ).

### II.5.1.3.2. JFET-SiC 15A :

Les résultats montrent une forte dépendance du courant de saturation avec la température, liée à l'échauffement de la puce pendant le régime de court-circuit et à la température ambiante (ou température du boîtier), température initiale (avant court-circuit) de la puce. C'est principalement la variation de la mobilité des porteurs dans le canal qui explique la variation importante du courant de saturation avec la température.

Le transistor assure la phase de limitation en court-circuit pour une température élevée de  $350^{\circ}C$ .

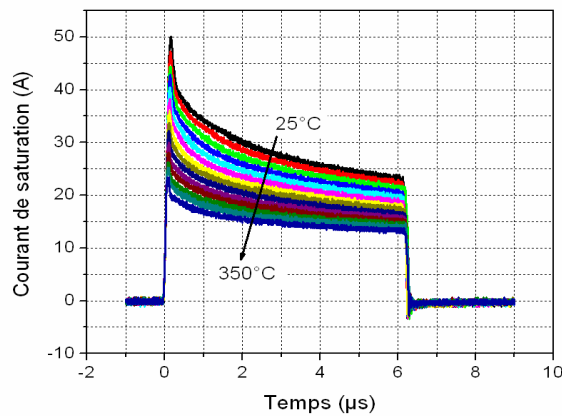


Fig. II.23 : Allure du courant de saturation fonction de la température en régime de court-circuit, JFET- SiC 1200V-15A tension d'alimentation  $U=400V$ ,  $T$  variant de  $27^{\circ}C$  à  $350^{\circ}C$ .

## II.5.2 Essais destructifs :

Des essais destructifs en régime de limitation de courant de longue durée ont été effectués sur les deux types de transistors JFET.

### II.5.2.1.JFET-SiC 2A :

Pour les JFET SiC 1300V-2A l'essai destructif est détaillé à la figure ci-dessous. Ici le transistor JFET assure une phase de limitation de courant pendant une durée de l'ordre de 56ms. Cette phase de fonctionnement correspond à une énergie dissipée de 14.3J dans le transistor JFET ce qui correspond à environ  $622J/cm^2$  de la surface active.

Ces résultats sont exceptionnels si on doit les comparer aux possibilités de limitation de transistors Si (de l'ordre de quelques dizaines de µs pour des IGBT ou transistors MOSFET par exemple sous tension nominale, correspondant à des énergies dissipées de quelques  $J/cm^2$ ).

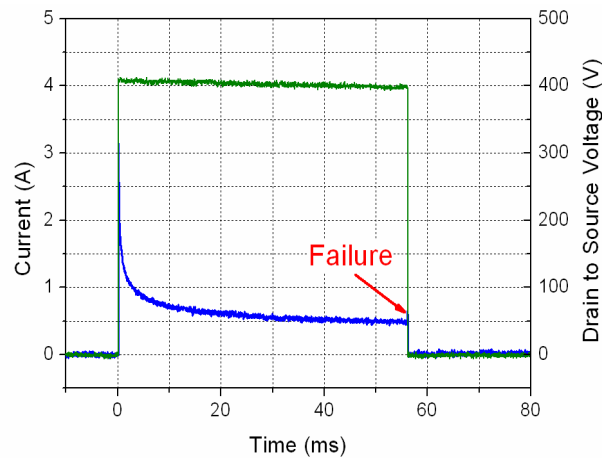


Fig II.24: Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=400V$ ,  $T_{CASE}=25^{\circ}C$

Un nouvel essai a été répété sur un autre transistor du même type, sous une tension de 450V cette fois.

Nous avons remarqué que le transistor a assuré une phase de conduction en limitation de courant de 18ms correspondant à une énergie dissipée de 2.94J, ce qui correspond à  $128J/cm^2$  de puissance active. La défaillance apparaît après une légère augmentation très rapide du courant de saturation.

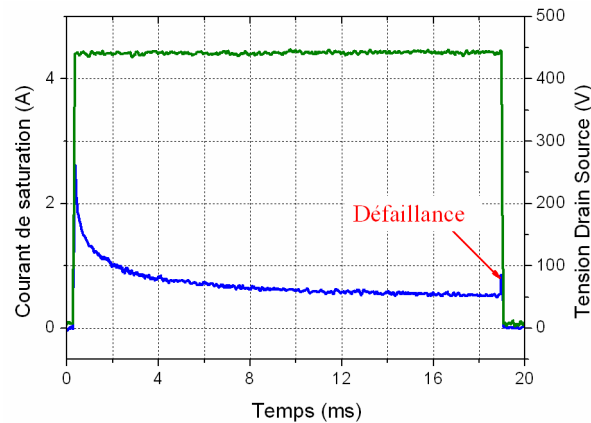


Fig II.25 : Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=450V$ ,  $T_{CASE}=25^{\circ}C$

Après détection de la défaillance, nous nous sommes aperçus que le transistor restait fonctionnel pour de faibles tensions comme représenté sur la figure ci-dessous. Il était toutefois incapable de fonctionner sous tension plus élevée.

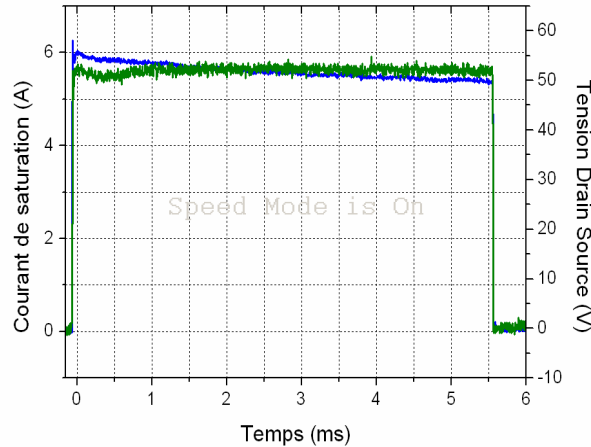


Fig II.26 : Essai destructif en limitation de courant, JFET-SiC 1300V-2A tension d'alimentation  $U=50V$ ,  $T_{CASE}=25^{\circ}C$

### II.5.2.2.JFET 15A :

La figure suivante montre à titre d'exemple un résultat d'essai destructif sur un JFET SiC 1200V-15A sous une tension de 400V. La défaillance apparaît après 630 $\mu$ s de durée de court-circuit. Dans ce cas de figure particulier, cela correspond à une énergie dissipée de 2.4 J (environ 60J/cm<sup>2</sup> de surface active).

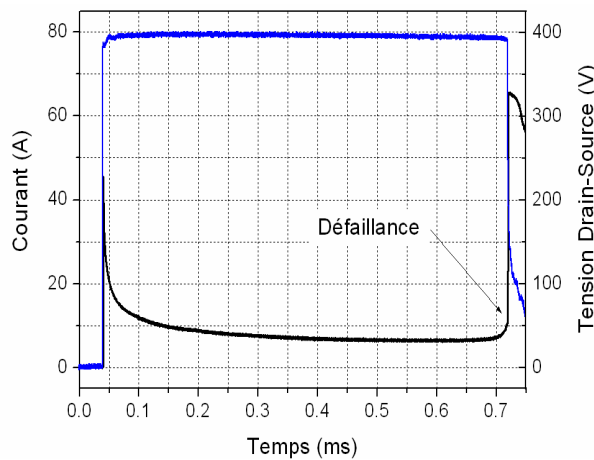


Fig II. 27: Essai destructif en limitation de courant, JFET-SiC 1200V-15A tension d'alimentation  $U=400V$ ,  $T_{CASE}=25^{\circ}C$ .

La défaillance apparaît après que l'on constate une légère augmentation du courant de saturation qui peut être éventuellement due, comme cela a été constaté sur des composants silicium à un emballement thermique.

## II.6. Synthèse des résultats:

Les caractérisations des deux transistors JFET-SiC 2A et JFET-SiC-15A, dans différentes conditions de tension (50V et 400V) ont prouvés leurs capacité à limiter le courant pendant toute la phase de court-circuit pendant une durée  $<10\mu\text{s}$ .

Ces résultats ont également montrés l'effet de la tension et la température sur le courant de saturation pendant le régime de court-circuit. Le courant de saturation est fortement dépendant de la température du cristal, donc de la température ambiante et des pertes.

On constate aussi que les transistors JFET-SiC testé ont à même de supporter un régime de court-circuit pour des températures ambiantes extrêmement élevée ( $400^{\circ}\text{C}$ ).

Les essais destructifs nous ont permis d'estimer la robustesse des deux JFETs, par la détermination des énergies dissipés par chaque transistor jusqu'à la défaillance. On constate que le composant de génération la plus récente, celui dont la résistance spécifique est la plus faible et qui présente le courant de saturation le plus élevé est le moins robuste des deux en régime de limitation de courant.

Le tableau suivant résume les résultats des essais destructifs des deux composants testés. Nous pouvant conclure que le transistor JFET-SiC 2A est plus robuste que le JFET-15A en prenant comme référence la densité d'énergie élevée ( $14.3\text{J}/\text{cm}^2$ ) dissiper pendant une durée de 56ms sous une tension de (400V).

*Tabl II.2. Résultats d'essai destructif*

Transistors	JFET-SiC 2A	JFET-SiC 15A
Energie dissipée	14.3 J/cm <sup>2</sup>	2.4 J/cm <sup>2</sup>
Temps	56 ms	630 $\mu\text{s}$
Tension	400V	400V

## **Bibliographie:**

- [1] : S.Duong, S. Rael, C.Schaeffer, J.F. de Palma, short circuit behaviour for PT and NPT IGBT devices-protection against explosion of the case by fuses, Proc. EPE 95, pp 1.249-1.254, Sevilla, 1995.
- [2] : J. Guerin, M.K. El cheikh, a. Bleiek, M.Tholomier, le comportement électrothermique de l' IGBT en court-circuit : modélisation et résultats expérimentaux, Physica solidi (soumis).
- [3] : M.Correvon, « les semiconducteurs de puissance », Ch 8,Heig-vd et Hes.so, CD:\ELP\Cours\Chap8.p 4.
- [4] : P.Baudesson,F. Richardeau, Thierry Meynard « Caract érisation du convertisseur Multicellulaire Serie En Pressence de Defauts De Commutation », EPf 98, Belfort.
- [5] : A.Benmansour, S.Azzopardi, JC. Martin, E.Woirdard, « Mécanisme de défaillance de l'IGBT Trench en mode de court-circuit après ouverture. IEEE, 2007 1-4244-0655.
- [6] : [11] Frédéric Saint-Eve, "Influence des régimes extrêmes de fonctionnement sur la durée de vie des composants semi-conducteurs de puissance", Thèse. Ecole Normale Supérieur de Cachan Juillet 2004 p16-25.
- [7] L. Takata "Destruction mechanism of PT and NPTIGBTs in the short circuit operation-an estimation from the quasi-stationary simulations", International Symposium on Power Semiconductor Devices and ICs, 2001, ISPSD'01, 4-7 June 2001, Pages: 327 – 330.
- [8] L. Takata "Non thermal destruction mechanisms of IGBTs in short circuit operation", International Symposium on Power Semiconductor Devices and ICs, 2002, 4-7 June 2002, Pages: 173 – 1762001, ISPSD'01, 4-7 June 2001, Pages: 327 – 330.
- [9] T. Laska, G. Miller, M. Pfaffenlehner, P. Türkes, D. Berger, B. Gutschmann, P. Kanschat, M. Münzer, "Short Circuit Properties of Trench-/Field-Stop IGBT's Design Aspects for a Superior Robustness", in Proc.15th ISPSD Conf., 2003.

- [10] M. Trivedi, K. Shenai "Internal dynamics of IGBT during short circuit switching", Bipolar/BiCMOS Circuits and Technology Meeting, 1996, 29 Sept.-1 Oct. 1996, Pages: 77 – 80
- [11] M. Trivedi, K. Shenai, "Investigation of the shortcircuit performance of an IGBT", IEEE Transactions on Electron Devices, Volume: 45, Issue: 1, Jan. 1998, Pages: 313 - 320
- [12] M. Trivedi, K. Shenai, "Failure mechanisms of IGBTs under short-circuit and clamped inductive switching stress", IEEE Transactions Power Electronics, Volume: 14, Issue: 1, Jan. 1999, Pages: 108 – 116.
- [13] P.R. Palmer, H.S. Rajamani, J.C. Joyce, "Behaviour of IGBT modules under short circuit conditions", Cambridge University, Proc. Of IAS 2000.
- [14] : T. Laska, G. Miller, M. Pfaffenlehner, P. Türkes, D. Berger, B. Gutschmann, P. Kanschat, M. Münzer, "*Short Circuit Properties of Trench-/Field-Stop IGBT's Design Aspects for a Superior Robustness*", in Proc. 15th ISPSD Conf., 2003.
- [15] M. Otsuki and al. "Investigation on the short circuit capability of 1200V trench gate field-stop IGBTs", ISPSD 2002
- [16] M. Ishiko, K. Hotta, S. Kawaji, T. Sugiyama, T. Shouji, T. Fukami, K. Hamada, "Investigation of IGBT turn-on failure under high applied voltage operation", Microelectronics Reliability, Volume 44, Issues 9-11, September-November 2004, Pages 1431-1436.
- [17] J. Guerin, M.K. El Cheick, A. Bliet, M. Tholomier, "Le comportement électrothermique de l'IGBT en court-circuit : modélisation et résultats expérimentaux", Phys. Stat. Sol. (a) 174, 369, en 1999.
- [18] : S.S.Kim, K.H.Oh, Y.C.Kim, C.M.Yun "Degradation of Avalanche Ruggedness of Power Diods by Thermally Induced Local Breakdown". IEEE Xplore 2008.
- [19] : C.c.Shen, A.R.Hefner, J.Senior, D.Berning, J.B.Bernstein, "Failure Dynamics of the IGBT During Turn-Off for Unclamped Inductive Loading Conditions" IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 36, NO. 2, MARCH/APRIL 2000.

[20] : Hei Wong, « *A physically-based MOS transistor avalanche breakdown model* », IEEE transactions on electron devices, vol 42, No 12, pp 2197-2202, December 1995.

[21] : K. Heumann, M. Quenum, « *Second Breakdown and latch-up behavior of IGBTs* », article de congrès, pp 301-305, EPE 1993.

[22] : J. Yamashita, H. Haruguchi, H. Hagino, « *A study on the IGBTs turn-off failure and inhomogeneous operation* », proc. of the 6<sup>th</sup> Internat. Symposium on Power Semiconductor Devices and Ics, Davos, Switzerland, may 31- june 2, 1994.



# **Chapitre III**

# **Modélisation**

# **thermique**

### **III.1 Introduction :**

Dans les deux premiers chapitres de cette thèse nous avons cherché à montrer l'intérêt du transistor JFET-SiC pour des applications haute température et/ou de protection, grâce à ses propriétés intrinsèques (faible résistance à l'état passant, faible chute de tension, conductivité thermique élevée, énergie de gap élevée...), on peut citer à titre d'exemple les articles de P.Friedrichs [1], L.Cheng [2], M.S.Mazzola [3], P.Bhatnagar [4], T.P.Chow [5], et M.S.chinthavali [6].

Pour les applications de protection série, l'étude du comportement électrothermique du composant JFET-SiC en court-circuit revêt une importance primordiale, tant pour la compréhension des phénomènes physiques mis en jeu que pour préciser dans des applications de protection intégrée les limites de fonctionnement sans risque de défaillance.

L'étude du comportement électrothermique de composants de puissance en régime de court-circuit a déjà été traitée (par exemple A.Bliek [7], analysant le comportement thermique d'un IGBT en court-circuit par un modèle physique du composant à partir des équations électrothermique fondamentales des semi-conducteurs de puissance), mais à notre connaissance, ce type d'études n'a encore jamais été effectuée pour des transistors JFET SiC.

Dans ce chapitre, nous allons chercher à utiliser les résultats d'essais en régime de court-circuit pour estimer l'évolution de la température de la puce dans ces phases de fonctionnement. Nous nous servirons du courant de saturation comme indicateur de température, pour les deux puces testées jusqu'à présent celle du JFET-SiC 1200V-15A et celle du transistor 1300V-2A. Pour ce faire, nous avons développé un modèle thermique par éléments finis basé sur la discrétisation numérique de l'équation de chaleur par conduction (logiciel de simulation Comsol).

Avant d'entamer la partie concernant la modélisation et la simulation thermique des puces de transistors JFET SiC, nous reviendrons dans un premier temps sur l'équation de la chaleur en précisant à l'aide d'une étude bibliographique les propriétés thermique du SiC .

#### **III.1.1. Equation de la chaleur :**

Les échanges thermiques sont des phénomènes de transfert d'énergie sous forme de chaleur, qui correspondent à un transfert d'agitation thermique entre particules, au gré des chocs aléatoires qui se produisent à l'échelle macroscopique.

L'exemple le plus courant de situation mettant en jeu un transfert thermique est un système constitué de deux corps en contact et ayant des températures différentes. Le corps le plus chaud va céder de l'énergie sous forme de chaleur au corps le plus froid. Il y a donc transfert thermique entre les deux corps.

Le transfert de chaleur spontané d'une région de température élevée vers une région de température plus basse obéit à la loi de Fourier [8] (établie mathématiquement par Jean-Baptiste Biot en 1804 puis expérimentalement par Fourier en 1822). La densité de flux de chaleur est proportionnelle au gradient de température.

$$\vec{\varphi} = -\lambda \vec{\text{grad}}(T) \quad (\text{III-1})$$

La constante de proportionnalité  $\lambda$  est nommée conductivité thermique du matériau. Le premier principe de la thermodynamique nous donne la relation suivante :

$$\text{div} \vec{\varphi} = -\rho c \frac{\partial T}{\partial t} + q \quad (\text{III-2})$$

$\varphi$  : Flux de chaleur ( $\text{W.m}^{-2}$ )

$q$  : source de puissance volumique ( $\text{W.m}^{-3}$ ).

$\rho$  : masse volumique du matériau ( $\text{kg.m}^{-3}$ ).

$\lambda$  : conductivité thermique ( $\text{W.m}^{-1}.\text{K}^{-1}$ ).

$c$  : chaleur spécifique ( $\text{J.kg}^{-1}.\text{K}^{-1}$ ).

A l'aide des équations (1) et (2), on obtient l'équation de la chaleur:

$$\text{div}(\lambda \vec{\text{grad}}(T)) + q = \rho c \frac{\partial T}{\partial t}, \quad (\text{III-3})$$

Dans le cas simplifié d'un transfert de chaleur unidimensionnel, on obtient l'équation suivante :

$$\frac{\partial}{\partial x} (\lambda \frac{\partial T}{\partial x}) + q = \rho c \frac{\partial T}{\partial t} \quad (\text{III-4})$$

### III.1.1.1. Echange convectif

Ce mode de transfert ne concerne que les échanges de chaleur entre un solide et un fluide. La convection peut être naturelle ou forcée.

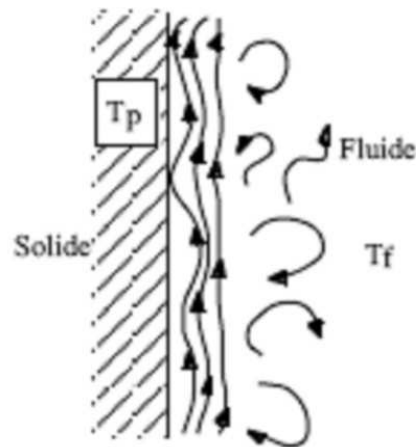


Fig III.1: Convection naturelle

Dans le cas d'un transfert entre un solide et un fluide, la puissance transférée par convection est donnée par la loi de Newton suivante :

$$P = hS(T_p - T_f) ; \quad (\text{III-5})$$

Où  $T_p$  est la température de la paroi du solide,  $T_f$  la température du fluide loin de la paroi,  $S$  la surface d'échange et  $h$  un coefficient d'échange appelé coefficient de transfert convectif qui s'exprime en  $\text{W.m}^{-2}.\text{K}^{-1}$ .

### III.1.1.2. Conduction de la chaleur

C'est le mode de transfert thermique provoqué par une différence de température entre deux régions (gradient) d'un même milieu ou entre deux milieux en contact sans déplacement appréciable de matière. Ce mode de transfert découle du mouvement des électrons libres ou d'une transmission vibratoire atomique, la grandeur physique caractérisant ce comportement est la conductivité thermique, elle s'exprime en  $\text{W.m}^{-1}.\text{K}^{-1}$  et dépend de la température. Le transfert de chaleur par conduction s'appuie sur la loi de Fourier  $\vec{\varphi} = -\lambda \overrightarrow{\text{grad}}(T)$ , (III-6)

Dans l'hypothèse où la conductivité thermique est indépendante de la température, l'équation de la chaleur se met sous la forme suivante :

$$\frac{\partial T}{\partial t} = \frac{\lambda}{\rho c} \operatorname{div}(\overrightarrow{\operatorname{grad}(T)}) + \frac{q}{\rho c} = D \times \operatorname{div}(\overrightarrow{\operatorname{grad}(T)}) + \frac{q}{\rho c} \quad (\text{III-7})$$

$$D = \frac{\lambda}{\rho c_p} : \text{Coefficient de diffusivité thermique (m}^2 \cdot \text{s}^{-1}\text{)}. \quad (\text{III-8})$$

$\lambda$  : Conductivité thermique ( $\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$ ).

$\rho$  : masse volumique du matériau ( $\text{kg} \cdot \text{m}^{-3}$ ).

$c_p$ : est la chaleur spécifique ( $\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}$ ), elle représente l'énergie qu'il faut apporter à un corps de masse 1kg pour que sa température augmente de un degré. La chaleur spécifique est mesurée par un calorimètre qui est un appareil destiné à mesurer les échanges de chaleur. Le calorimètre constitue un système thermodynamique isolé, ce qui implique qu'il n'y a pas d'échange de matière et d'énergie avec le milieu extérieur. Il existe comme exemple de calorimètres, les analyses thermiques différentielles ATD & DSC (Differential Scanning Calorimetry) qui mesurent respectivement l'écart de température et de flux de chaleur entre échantillon et un matériau de référence (soumis aux mêmes variations de la température dans une atmosphère contrôlée).

**La DAT** : Analyse thermique différentielle elle permet de détecter n'importe quel changement sur tous types de matériaux.

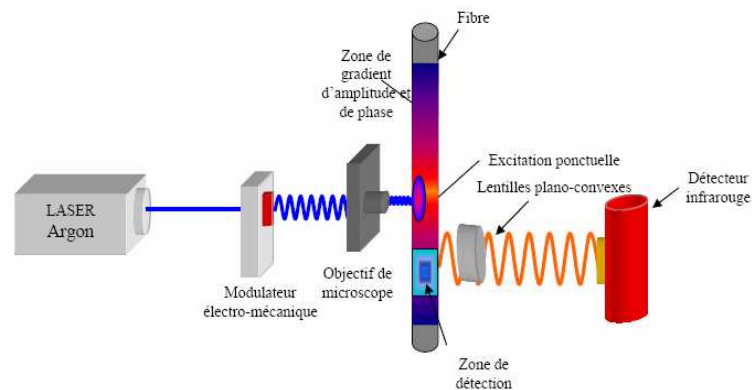
**La DSC** : Differential Scanning Calorimetry elle permet de déterminer la température et la chaleur produite lors d'une transformation.



FigIII.2 : Exemple d'analyseur thermique modulaire ATD & DSC de haute performance (ambiante à 2400°C) [9]

La diffusivité thermique  $D$  ( $\text{m}^2 \cdot \text{s}^{-1}$ ) représente la vitesse de pénétration et d'atténuation d'une onde thermique dans un milieu. Elle est mesurée par la méthode dite de flash-laser qui consiste à placer un échantillon dont l'épaisseur  $d$  est nettement plus faible que son diamètre dans un porte-échantillon qui se trouve à l'intérieur d'un four maintenu à température constante. Une de ses faces est chauffée par des pulses émis par laser, ce qui assure un chauffage uniforme de la face avant. La température de la face arrière est mesurée en fonction du temps. Le temps  $t$  nécessaire pour que la face arrière atteigne la moitié de la température de pic (par rapport à la température du four), permet de déterminer la diffusivité  $D = \frac{d^2 \cdot 1.37}{t \cdot \pi^2}$

En règle générale, la conductivité thermique est obtenue à partir des mesures de chaleur spécifique et de diffusivité thermique.



FigIII.3 : principe de la méthode flash-laser pour la mesure de la diffusivité thermique. [10]

## III.2. Propriétés thermiques du SiC :

Les propriétés thermiques du SiC sous différentes formes cristallines ont intéressé beaucoup d'auteurs, parmi lesquels R.G. Munro [11]. M.A.Piking et Taylor [12], L.S.Sigl [13], Ju Li et Lisa Porter [18], et L.Snead [23]. Leurs recherches se sont concentrées sur la mesure des propriétés thermique : chaleur spécifique et conductivité thermique du SiC que ce soit sur matériaux monocristallins que sur polycristaux avec des tailles de grains différentes. Dans la partie qui suit nous allons présenter un récapitulatif de ces travaux, Dans le cadre de cette étude, nous nous intéresserons d'avantage aux propriétés des monocristaux qui sont les seuls matériaux SiC à être utilisés pour la conception des puces.

### III.2.1. chaleur spécifique :

#### III.2.1.1. $\alpha$ -SiC :

R.G. Munro [11] a mesuré la chaleur spécifique sur des échantillons de type  $\alpha$ -SiC sur une large gamme de température. Ce matériau est obtenu par la densification d'un 6H-SiC à 2500°C avec du bore et du carbone utilisés comme additifs. Il présente une pureté de 98%, et diffère de ceux utilisés en électronique.

Tableau III.1 Chaleur spécifique  $\alpha$ -SiC [11]

(La valeur entre parenthèses est une valeur extrapolée de mesures)

Température (°C)	20	500	1000	1200	1400	1500
Chaleur spécifique mesurée (J.kg <sup>-1</sup> .K <sup>-1</sup> )	715 (5%)	1086	1240	1282	1318	1336

L.S.Sigl [13] a déterminé lui aussi la chaleur spécifique à l'aide de la mesures calorimétriques d'un matériau composite LPS-SiC (Liquide Phase Sintered) [13] constitué d'une couche de SiC et d'additifs YAG, Yttrium Aluminium de Garnet. Les additifs forment une phase liquide à température inférieure à 1750°C [15-16], ce qui favorise la densification du matériau. La mesure de la chaleur spécifique est faite par un calorimètre sur une gamme de température allant de 25 à 1000°C pour différentes proportions de YAG comme indiqué à la figure ci-dessous.

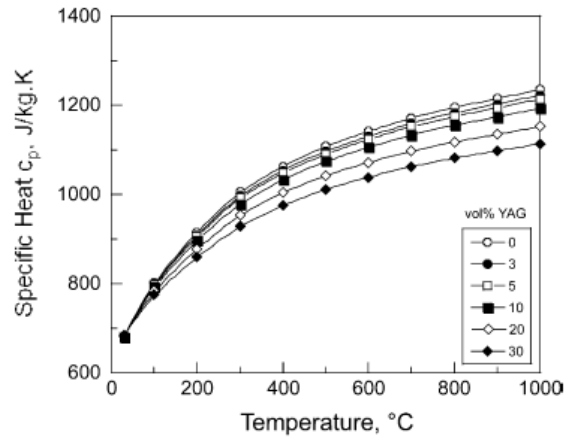


Fig III.4: Chaleur spécifique d'un échantillon de LPS-SiC [13]

### III.2.1.2. $\beta$ -SiC :

Des mesures de chaleur spécifique ont été effectuées par M.A.Piking et Taylor [12] sur des échantillons  $\beta$ -SiC d'une épaisseur de  $5\mu\text{m}$ , et d'une pureté de 99.99% obtenue avec la méthode de dépôt par phase vapeur (CVD). Le matériau résultant est dense sans défaut ni microfissure en raison de la structure cubique cristalline du  $\beta$ -SiC. Les mesures sont prises sur une gamme de température allant de  $-140^\circ\text{C}$  à  $1500^\circ\text{C}$ .

Tableau III.2 Chaleur spécifique du  $\beta$ -SiC [12]

Température (°C)	-140	-100	0	200	500	700	1000	1200	1500
Chaleur spécifique ( $\text{J.kg}^{-1}.\text{K}^{-1}$ )	175	301	574	952	1134	1189	1251	1295	1355

Les valeurs de la chaleur spécifique mesurée par R.G. Munro [11] et M.A.Piking et Taylor [12] ont été tracées sur la figure suivante.



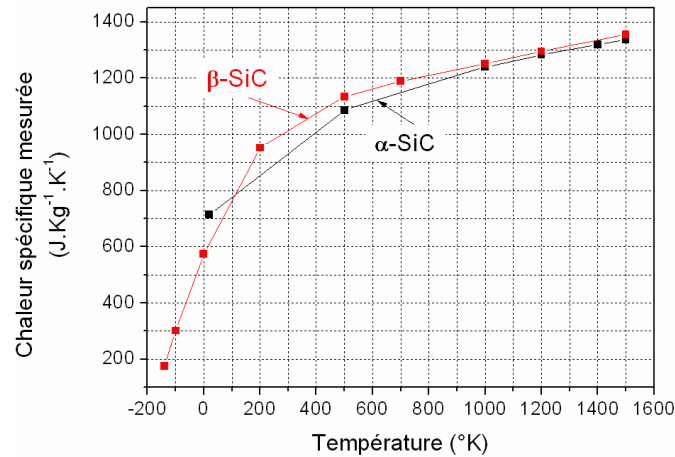


Fig III.5: Chaleur spécifique mesurée du  $\alpha$ -SiC [11] et  $\beta$ -SiC [12]

On trouve que la chaleur spécifique pour le  $\alpha$ -SiC est légèrement inférieure que celle du  $\beta$ -SiC. Dans une gamme de température allant de 20 à 1500°C les deux courbes ont presque la même allure. Cette réduction peut être justifiée par la présence d'additifs dans le LPS-SiC.

### III.1.2.1.3. Modèle de la chaleur spécifique :

Lance L.Snead [23] a aboutit à une courbe approximative de la chaleur spécifique du SiC sur une large plage de température [24-25] comme indiqué à la figure III.6.

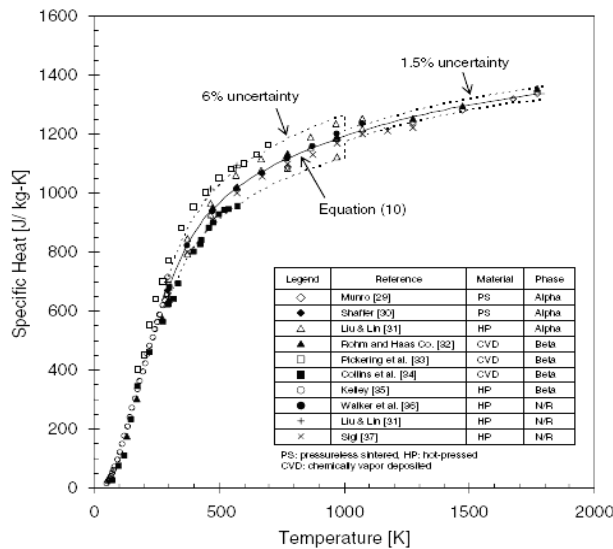


Fig III.6 : Variation de la chaleur spécifique du SiC avec la température sur une large gamme de température [23]

La chaleur spécifique est généralement mesurée par calorimétrie. La dépendance de la chaleur spécifique à la température permet de distinguer deux zones distinctes de comportement. Dans une première zone, on constate une élévation rapide de la chaleur spécifique avec la température pour des températures inférieures à 200 °K environ, au-delà l'évolution de la chaleur spécifique avec la température est moins marquée.

A des températures inférieures à la température de Debye  $\Theta_D$ , la chaleur spécifique peut être exprimée par la relation suivante :

$$C_p \approx \gamma T + C_0 T^3, \quad (\text{III-9})$$

Où  $\gamma$  est le coefficient de chaleur spécifique électronique

$$\text{et un coefficient } C_0 = \frac{234 \cdot N_0 \cdot k_b}{\theta_b^3};$$

$N_0$  : nombre d'Avogadro ( $6.02 \cdot 10^{23}$ );

$k_b$  : constante de Boltzmann ( $1.38 \cdot 10^{-23}$  J/K)

La température de Debye du SiC est située sur une plage de température comprise entre 860 et 1200 °K [27, 28]. Toutefois, la relation précédente n'est satisfaisante que pour des températures inférieures à 200 K. Pour des températures supérieures à 200° K et inférieures ou égales à 2400°K, la chaleur spécifique peut s'exprimer par la relation empirique suivante :

$$c_p = 925.65 + 0.3772 \cdot T - 7.9259 \cdot 10^{-5} \cdot T^2 - \frac{3.1946 \cdot 10^7}{T^2} \quad (\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}) \quad [23] \quad (\text{III-10})$$

D'après la référence [13], les incertitudes sur ces résultats sont de :  $\pm 7\%$  pour  $200 \text{ K} \leq T \leq 1000 \text{ K}$  et de  $\pm 4\%$  pour  $1000 \text{ K} \leq T \leq 2400 \text{ K}$ . La chaleur spécifique du SiC à la température ambiante et de  $671 \pm 47$  ( $\text{J} \cdot \text{kg}^{-1} \cdot \text{K}^{-1}$ ).

## III.2.2. Conductivité thermique :

### III.2.2.1. $\alpha$ -SiC :

R.G. Munro [11] a également mesuré la conductivité thermique sur le même échantillon  $\alpha$ -SiC et sur la même gamme de température. Les résultats sont donnés dans le tableau suivant :

Tableau III.3 Conductivité thermique du  $\alpha$ -SiC [11]

(La valeur entre parenthèses est une valeur extrapolée de mesures)

Température (°C)	20	500	1000	1200	1400	1500
Conductivité thermique mesurée ( $\text{w.m}^{-1}.\text{K}^{-1}$ )	114 (8%)	55.1	35.7	31.3	27.8	26.3

L.S.Sigl [13] a déterminé la diffusivité thermique d'un matériau LPS -SiC (Liquide Phase Sintered) [13] en utilisant la technique « Laser-Flash » [14]. Ce matériau n'est pas non plus adapté pour la conception des puces.

La diffusivité thermique est calculé par l'équation :

$$D = w \frac{d^2}{\tau_{1/2}} ; \text{ou} \quad (\text{III-11})$$

$w$  : est une constante dimensionnelle qui vaut 0.139.

$d$  : l'épaisseur de l'échantillon

$\tau_{1/2}$  : Le temps nécessaire pour que la face arrière atteigne la moitié de la température maximale.

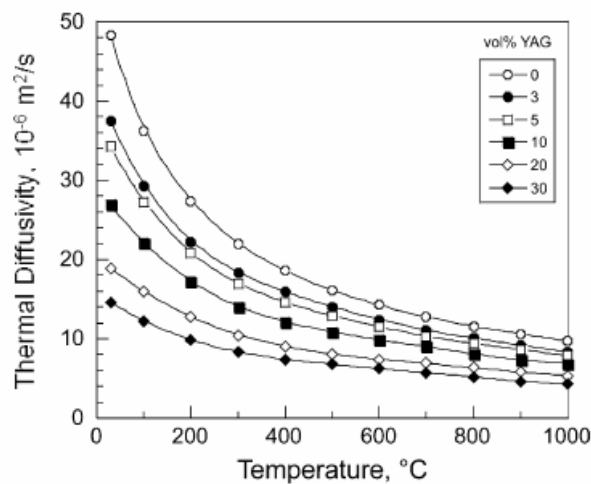


Fig III.7: Diffusivité thermique d'un échantillon LPS-SiC [13]

La conductivité thermique a été calculée par l'équation :  $\lambda = \rho \cdot c_p \cdot D$ , avec D, la diffusivité thermique,  $c_p$  la chaleur spécifique et  $\rho$  la densité volumique qui dépend de la température à travers la relation suivante:

$$\rho(T) = \frac{\rho(RT)}{[1 + 3\alpha(T - RT)]} \quad \text{(III-12)}$$

Où  $\alpha$  est le coefficient de dilatation thermique égal à  $4.2 \times 10^{-6} \text{ K}^{-1}$  [17] et RT la température ambiante en K.

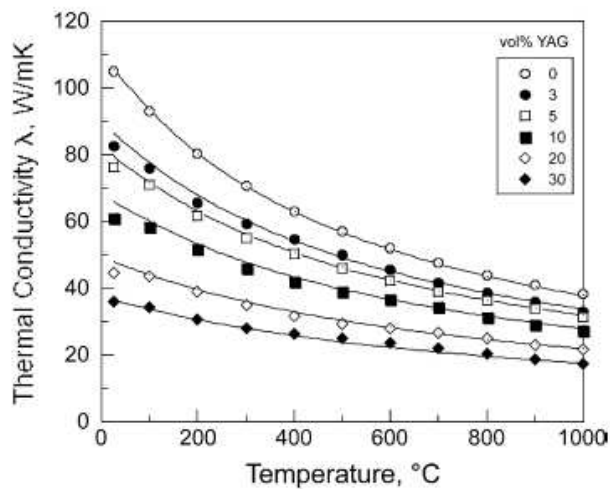


Fig III.8 : variation de la conductivité thermique d'un échantillon de LPS-SiC avec la température [13]

### III.2.2.2. β-SiC :

De même M.A.Piking et Taylor [12] ont mesuré l'évolution de la conductivité thermique avec la température sur les mêmes échantillons β-SiC obtenus par dépôt en phase vapeur (CVD) et dans la même plage de température -140°C à 1500°C. Le tableau suivant donne les valeurs mesurées de cette conductivité thermique à différentes températures.

Tableau III.4 Conductivité thermique du β-SiC [12]

Température (°C)	-140	-100	0	200	500	700	1000	1200	1500
Conductivité thermique (W.m <sup>-1</sup> .K <sup>-1</sup> )	396	485	333	221	137	110	78	63	48

Nous avons tracé les évolutions de la conductivité thermique avec la température à partir des résultats issus des références [11,12] sur la figure III.5.

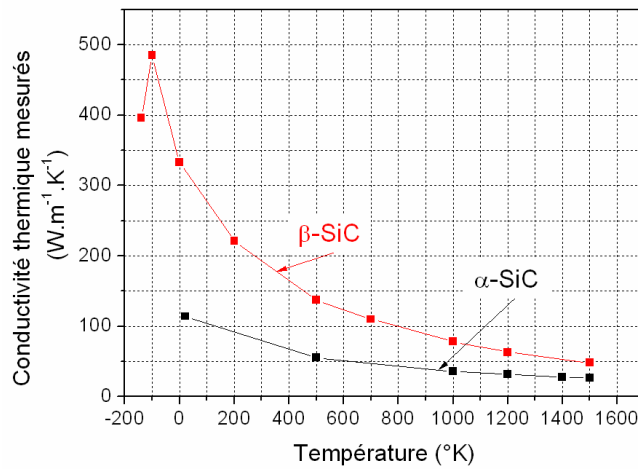


Fig III.9: Evolution de la conductivité thermique avec la température pour des matériaux de type  $\alpha$ -SiC et  $\beta$ -SiC

Ju Li et Lisa Porter [18] ont comparé la conductivité thermique du cristal parfait  $\beta$ -SiC obtenue à partir des résultats expérimentaux de Taylor et al [19] et Senor et al [20] et d'une analyse utilisant la simulation moléculaire dynamique qui permet de relier la densité de flux de chaleur au gradient de température et ainsi d'estimer la conductivité thermique pour un cristal parfait.

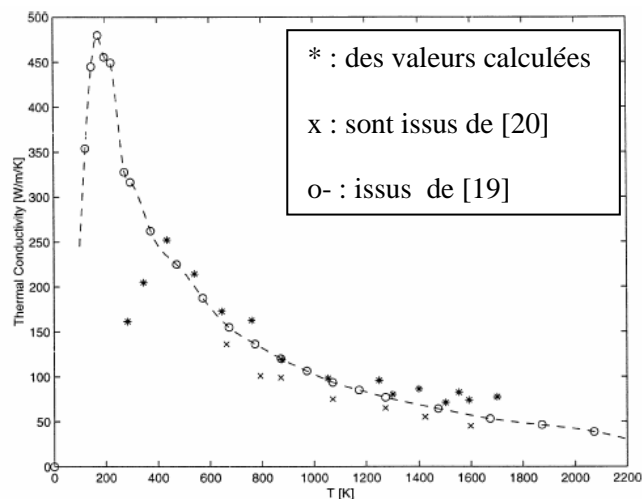


Fig III.10: Comparaison entre la conductivité thermique mesurée d'un cristal de  $\beta$ -SiC et un modèle d'un cristal parfait en fonction de la température [18].

La conductivité thermique du  $\beta$ -SiC de la référence [11] est bien supérieure à celle du  $\alpha$ -SiC de la référence [12] dans la même gamme de température. Cela est dû à la structure cubique du  $\beta$ -SiC et au degré de pureté supérieur de ce matériau. On peut également aussi remarquer une diminution monotone de la diffusivité thermique et de la conductivité thermique avec l'augmentation des impuretés et la présence d'additifs. La diminution significative de la conductivité thermique avec la présence d'additifs résulte du fait que les impuretés et ou les micropores sont localisés préférentiellement aux joints de grains.

Pour les résultats obtenus par Ju Li et Lisa Porter [18], on constate qu'il y a une grande similitude entre les valeurs calculés et celles obtenues de façon expérimentale pour le monocristal  $\beta$ -SiC pour une température  $>$  à 400 K.

### III.2.2.3. Modèle de la conductivité thermique:

Lance L.Snead [23] a abouti à une courbe approximative de la conductivité thermique sur une large gamme de température. Les résultats sont représentés sur la figure III.11 :

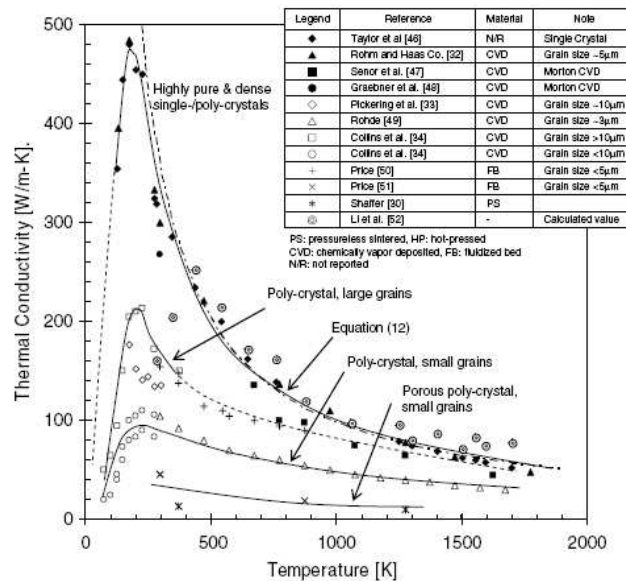


Fig III.11 : Variation de la conductivité thermique du SiC avec la température sur une large gamme de température [23]

La conductivité thermique est généralement déterminée par la relation suivante :  $\lambda = D \rho c_p$

La diffusivité thermique est mesurée par la méthode « Laser-Flash » comme nous l'avons montré précédemment. La conductivité thermique du SiC a été estimée sur une large gamme de température par plusieurs auteurs [11, 12,13, 18, 19, 20, 23]. La figure III.11, montre la dépendance de la conductivité thermique du  $\beta$ -SiC avec la température pour une température inférieure à 1800 °K.

Pour des températures inférieures à 200°K, la conductivité thermique augmente rapidement avec la température.

Au-delà du pic observé à 200°K, la conductivité thermique du SiC diminue de façon monotone avec la température.

Pour une température supérieure à 300°K, la conductivité thermique du cristal SiC est donnée par la relation suivante :

$$\lambda = \frac{1}{-0.0003 + 1.05 \times 10^{-5} T} ; \text{Wm}^{-1}\text{K}^{-1} \text{ [23]} \quad (\text{III-13})$$

Dans cette thèse, nous ne nous intéressons qu'aux propriétés thermiques du monocristal de SiC qui est le seul à être utilisé pour la réalisation de composants électroniques. Sur une plage de température allant de 25°C à 1000°C on peut utiliser les relations suivantes pour l'estimation de la conductivité thermique et de la chaleur spécifique avec la température du cristal :

$$\lambda = \frac{1}{-0.0003 + 1.05 \times 10^{-5} T} ; (\text{W/m.K}) ; \text{ [23]}$$
$$c_p = 925.65 + 0.3772.T - 7.9259.10^{-5}.T^2 - \frac{3.1946.10^7}{T^2} \text{ (J.kg}^{-1}.\text{K}^{-1}) \text{ [23]} \quad (\text{III-14})$$

Nous avons pu tracer l'allure ces grandeurs avec la température pour une température variant entre 25°C et 1000°C. Cette plage de température englobe la plage de température (de 25 °C à environ 800 °C) sur laquelle les simulations thermiques ont été effectuées

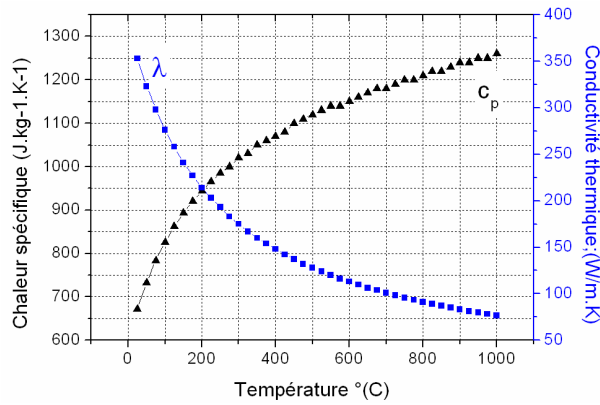


Fig III.12: Effet de la température sur la conductivité thermique et la chaleur spécifique

On remarque une diminution de la conductivité thermique avec la température. La conductivité thermique à 600°C est presque quatre fois plus faible que celle à 25°C, sur la même plage de variation de température, la chaleur spécifique augmente d'un facteur proche de 2.

### III.3. Modélisation thermique des puces :

Pour résoudre l'équation de la chaleur, les logiciels de simulation thermique utilisent une méthode mathématique numérique (éléments finis FEM,...) permettant d'obtenir la distribution de la température dans le domaine d'étude.

#### III.3.1. méthode des éléments finis

La méthode des éléments finis permet de résoudre de manière discrète une équation aux dérivées partielles (EDP). Le principe de cette méthode consiste en une discrétisation du domaine de définition des variables espace et temps. Le découpage du milieu à étudier est à la fois fonction de sa structure et des conditions aux limites. Dans le cas de la résolution de l'équation de la chaleur d'un milieu quelconque, chaque nœud résultant de la discrétisation est caractérisé par une valeur discrète de la température. Il s'agit de mettre en place, à l'aide des principes hérités de la formulation variationnelle, un algorithme discret mathématique permettant de rechercher une solution approchée d'une EDP sur un domaine discrétisé avec conditions aux limites et/ou à l'intérieur du domaine. Les conditions aux limites sur le bord du domaine peuvent être de Dirichlet (valeurs aux limites) ou de Neumann (gradients aux limites).



L'équation de chaleur est alors appliquée aux nœuds sous sa forme discrète. Il en découle un système d'équations algébriques (souvent formés d'un grand nombre d'équations) qu'il faut résoudre par des méthodes numériques.

La résolution du problème passe par la définition d'un espace de fonctions tests appropriées, pour lesquelles les solutions de la (re)formulation variationnelle de l'équation est exacte. Cela nécessite la définition d'un maillage du domaine en fragments quelconques : « les éléments finis ». Ces fragments peuvent être de forme quelconque mais doivent former un pavage de l'espace considéré. Usuellement les éléments finis sont de forme triangulaire ou rectangulaire en 2D.

Comme énoncé ci-dessus, les conditions aux limites peuvent être de deux types. Elles sont les valeurs que prennent les solutions des équations aux dérivées partielles (ou le gradient de ces solutions) sur la frontière du domaine considéré.

La condition de Dirichlet est imposée à une équation aux dérivées partielles lorsque l'on spécifie les valeurs que la solution doit vérifier sur les frontières limites du domaine. Elle s'exprime par :

$$T(x, t) = T_0(x, t) \quad \forall x \in \partial\Omega \quad (\text{III-15})$$

Où  $T_0(x, t)$  est une fonction connue définie sur la limite  $\partial\Omega$  du domaine d'étude. Dans le cas de la résolution de l'équation de la chaleur, la condition de Dirichlet permet de fixer une valeur de température sur une partie des frontières du domaine d'étude.

La Condition de Neumann est imposée à une équation aux dérivées partielles lorsque l'on spécifie les gradients des valeurs que la solution doit vérifier sur les frontières limite du domaine. Elle s'exprime par :

$$\frac{\partial T(x, t)}{\partial n} = \vec{n}(x) \overrightarrow{\text{grad}}(T(x, t)) = f(x, t) \quad \forall x \in \partial\Omega \quad (\text{III-16})$$

Où  $\vec{n}(x)$  est le vecteur normal unitaire au point  $x$  de la frontière  $\partial\Omega$  et  $f(x, t)$  est une fonction connue définie sur la limite  $\partial\Omega$ . Dans le cas de la résolution de l'équation de la chaleur, la condition de Neuman permet de fixer une valeur du flux de chaleur sur une partie des frontières du domaine d'étude. Dans le cas où  $f(x, t)$  est nulle sur la frontière du domaine, c'est une condition adiabatique qui est imposée. Une condition non nulle de  $f(x, t)$  sur une partie de la frontière du domaine permet d'imposer une puissance surfacique qui peut

être représentative d'une dissipation locale de puissance (pertes dans un composant à semi-conducteur de puissance par exemple).

### III.3.2. Maillage

Le maillage est la discrétisation spatiale d'un milieu continu, modélisation géométrique d'un domaine par des éléments proportionnés fini.

Le mailleur est le logiciel ou précisément le code de calcul qui permet de discrétiser le domaine d'étude en plusieurs sous-éléments : « créer le maillage ».

La méthode des éléments finis repose sur un découpage de l'espace selon un maillage. D'habitude on choisit un maillage carré ou triangulaire en 2D, mais rien n'interdit de choisir des maillages plus complexes. Il n'est pas non plus nécessaire que le maillage soit régulier et l'on a tendance à resserrer le maillage près des endroits d'intérêts (par exemple aux endroits où l'on pense que la solution va beaucoup varier). Plus le maillage est fin et plus la solution que l'on obtient par la méthode des éléments finis sera précise et proche de la vraie solution (hors points singuliers).

Pour résoudre l'équation de la chaleur par la méthode des éléments finis, nous utilisons le logiciel de simulation COMSOL (1D 2D ou 3D). Ce logiciel permet la résolution de manière discrète d'une EDP (équations aux dérivées partielles), la résolution à l'aide de COMSOL comprend les étapes suivantes :

- Création d'un modèle détaillé du dispositif électronique à simuler (géométrie, maillage, paramètres physiques).
- Simulations avec plusieurs combinaisons des conditions aux limites imposées sur les limites du domaine d'étude (limites du composant, puce, assemblage et encapsulation).
- Enregistrement des résultats (température, flux de chaleur...).

Cette résolution de l'équation de la chaleur nous permettra de calculer la variation de la température sur la surface active de la puce, et dans l'assemblage du composant.

Avant de présenter les résultats nous avons cherché à étudier l'influence du maillage et du pas de temps sur les résultats obtenus, afin de faire un choix adéquat de ces deux paramètres.

Nous avons remarqué qu’une solution ne peut être acceptée que si les résultats obtenus ne varient pas de façon significative lorsque l’on raffine le maillage. Si la solution évolue de façon considérable lors du raffinement du maillage, c’est que le maillage n’est pas assez fin. En particulier, nous devons impérativement vérifier la finesse du maillage dans les régions où le gradient de température est très élevé.

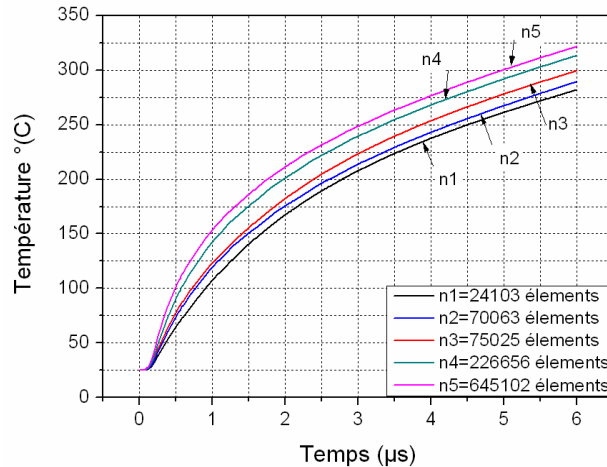


Fig 13: Influence du maillage sur les résultats du modèle 3D sans prise en compte de la couche d’Aluminium déposée sur la puce et en considérant les variations de la conductivité thermique et de la chaleur spécifique avec la température.

Nous avons également étudié l’effet du pas de temps sur les résultats obtenus. On constate qu’il faut suffisamment réduire le pas de temps pour aboutir à un résultat satisfaisant.

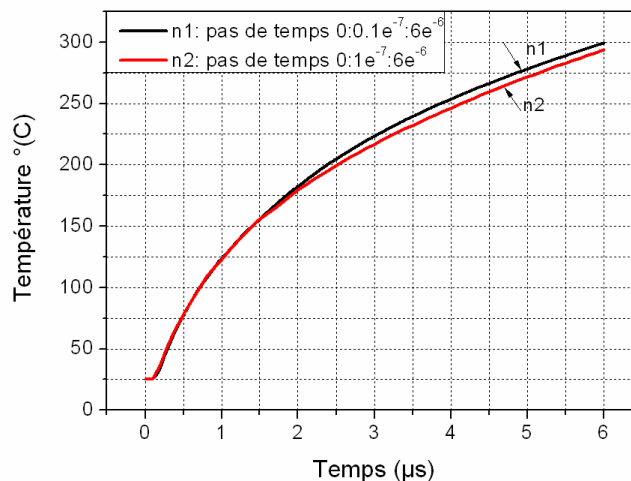


Fig.14 : Influence du pas de temps sur les résultats du modèle 3D sans prise en compte de la couche d’Aluminium déposée sur la puce et en considérant les variations de la conductivité thermique et de la chaleur spécifique avec la température.

Nous verrons également que selon la durée du phénomène étudié une modélisation 1D peut être suffisante. Seules les phases de longue durée nécessiteront une simulation 3D intégrant la puce et l'assemblage.

### III.4. Modèle tri- dimensionnel simplifié :

#### III.4.1 : Géométrie

Le modèle du transistor JFET-SiC en 3D est représenté par l'assemblage des couches suivantes : la semelle en cuivre, la brasure SnAg entre puce et semelle, la puce SiC, et une couche de métallisation en Al déposée sur la puce.

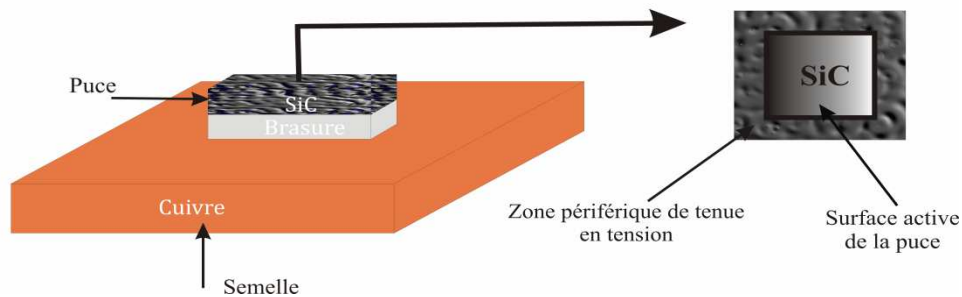


Fig III.15 : Modèle 3D du JFET-SiC

Les dimensions des différentes puces testées (obtenue auprès du fabricant SiCed) ont été reportées dans le tableau suivant :

Tableau III.5 : Dimensions des puces testées

Puce	Epaisseur SiC ( $\mu\text{m}$ )	Epaisseur Al ( $\mu\text{m}$ )	Surface total ( $\text{mm}^2$ )	Surface active ( $\text{mm}^2$ )
Puce SiC 15A	380	3	5,76	4
Puce SiC 2A	380	3	4,4	2,3

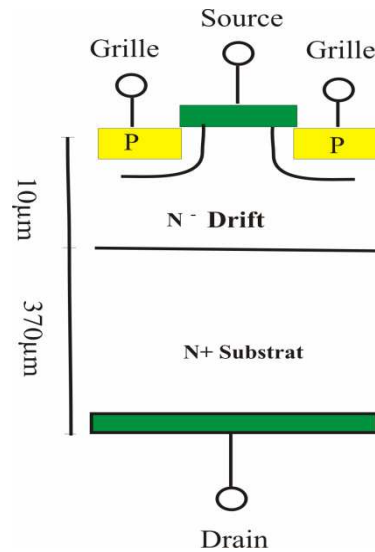


Fig III.16 : Epaisseur approximative des zones de drift et de substrat

La totalité des pertes est dissipée dans la zone de drift d'épaisseur extrêmement faible (environ 10 μm ici) pour les composants SiC devant l'épaisseur du substrat d'épitaxie (environ 370 μm ici). Dans ces conditions nous pourrions faire l'hypothèse d'une dissipation de puissance en surface de la puce, ce qui simplifiera grandement les conditions aux limites pendant les phases de simulation.

En premier lieu, nous avons modélisé la puce en ne prenant en considération que la partie carbure de silicium, avec une épaisseur de 380 μm et une puissance injectée de façon uniforme sur la surface active des puces, pour les deux puces 15A et 2A dont les dimensions sont données dans le tableau III.3.

### III.4.2. Conditions aux limites

Les conditions aux limites imposées sont les suivantes :

- Injection d'un flux de chaleur qui représente la puissance surfacique en  $W/m^2$  sur la surface supérieure de la puce (correspondant aux pertes dans la puce)
- une température imposée (prise des essais) de 25°C à 350°C sur la surface inférieure de la puce
- condition adiabatique sur les surfaces latérales comme représenté sur la figure ci-dessous.

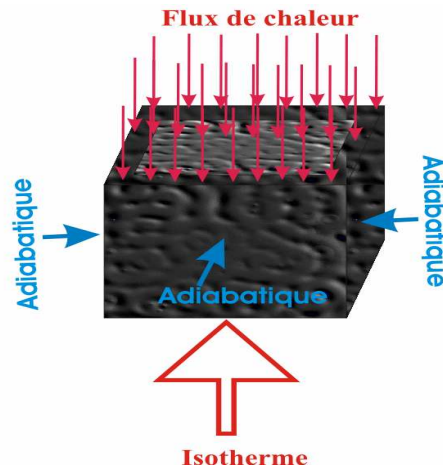


Fig III.17: Conditions aux limites imposées sur la puce en SiC

La puissance dissipée pendant une phase de court-circuit est modélisée par une injection surfacique de puissance sur la puce en ( $\text{W}/\text{m}^2$ ). Cette puissance est obtenue de façon expérimentale par le produit du courant de saturation  $I_{\text{DSAT}}$  et de la tension  $V_{\text{DS}}$ . Nous avons représenté ci-dessous un exemple de l'allure de la tension  $V_{\text{DS}}$ , du courant de saturation et de la puissance calculée, pour une tension d'alimentation de 400V, une phase de court-circuit de durée égale à  $6\mu\text{s}$  et une température ambiante de  $50^\circ$ .

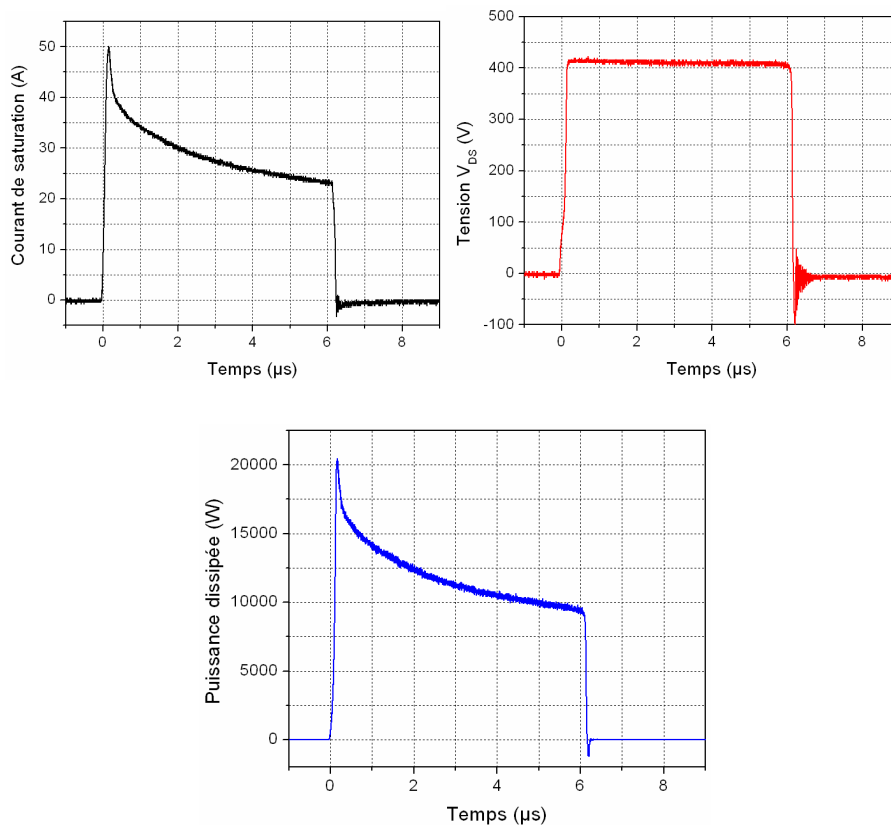


Fig. III.18 : Calcul de la puissance dissipée ( $T_{\text{CASE}} = 50^\circ\text{C}$ )

Pour des raisons de simplicité, nous avons choisi de rentrer comme condition aux limites une formulation mathématique de la puissance obtenue de façon expérimentale (puissance surfacique en divisant par la surface active de la puce). Le modèle de cette puissance devra être calculé à chaque fois, et notamment pour toutes les valeurs de température ambiante pour lesquelles les essais ont été effectués (27° à 350°).

Le modèle mathématique se résume en deux équations : une équation pour le front montant de la puissance lors de l'apparition du courant et l'autre une fois le régime de saturation établie

$$t \leq t_{\max} \quad P_1(t) = a_1 \cdot \left(\frac{t}{a_2}\right)^{-n} \quad (\text{III-17})$$

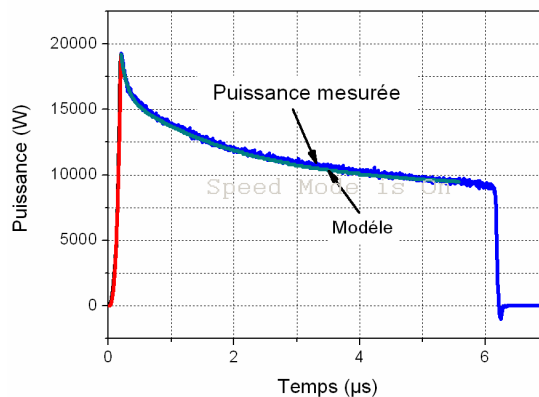
Avec  $a_1$ ,  $a_2$  et  $n$  des constantes.

$$t > t_{\max} \quad P_2(t) = k_1 \cdot \exp\left(-\left(\frac{t-t_{\max}}{t_1}\right)\right) + k_2 \cdot \exp\left(-\left(\frac{t-t_{\max}}{t_2}\right)\right) + k_3 \quad (\text{III-18})$$

Avec  $k_1$ ,  $k_2$ ,  $k_3$ ,  $t_1$  et  $t_2$  des constantes

Les différentes constantes varient d'une courbe de puissance à l'autre, et sont déterminées à l'aide d'un solveur minimisant l'erreur quadratique entre puissance mesurée et modèle.

Sur la figure suivante nous avons représenté la puissance relevée expérimentalement avec le modèle obtenu de cette dernière. Nous avons également présenté un zoom sur ces deux parties (front montant représenté sur la figure :a, et le front descendant sur la figure :b)



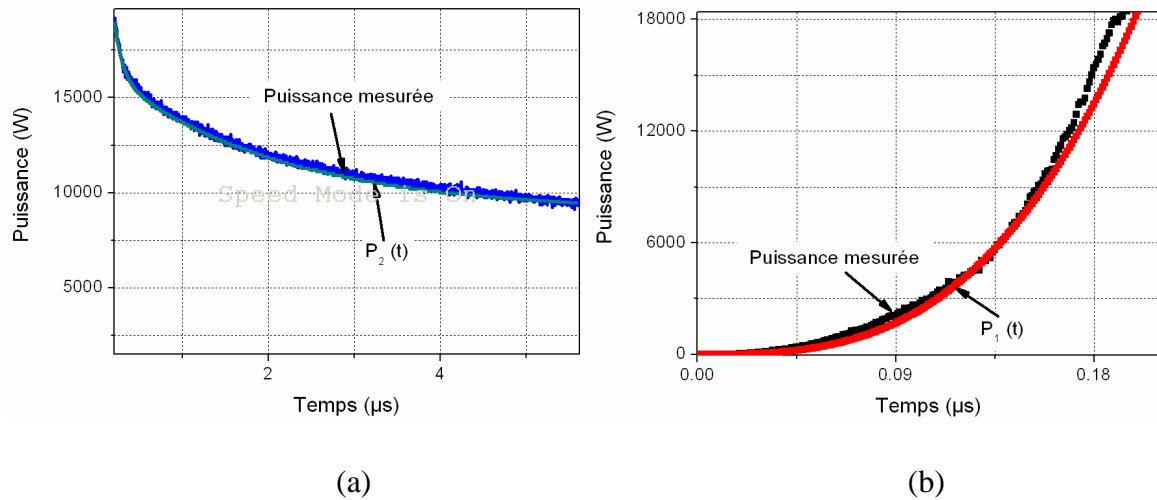


Fig : III.19 : Comparaison entre modèle de la puissance dissipée et la puissance mesurée

### III.4.3. Résultats de simulation 3D

La conductivité thermique et la chaleur spécifique sont considérées dans un premier temps indépendantes de la température ((constantes) :  $\lambda=380 \text{ W.m}^{-1}.\text{K}^{-1}$  et  $c_p= 671 \text{ J.kg}^{-1}.\text{K}^{-1}$ ). La puissance est injectée en surface de la puce sur la surface active. La couche de métallisation d'aluminium n'est pas modélisée.

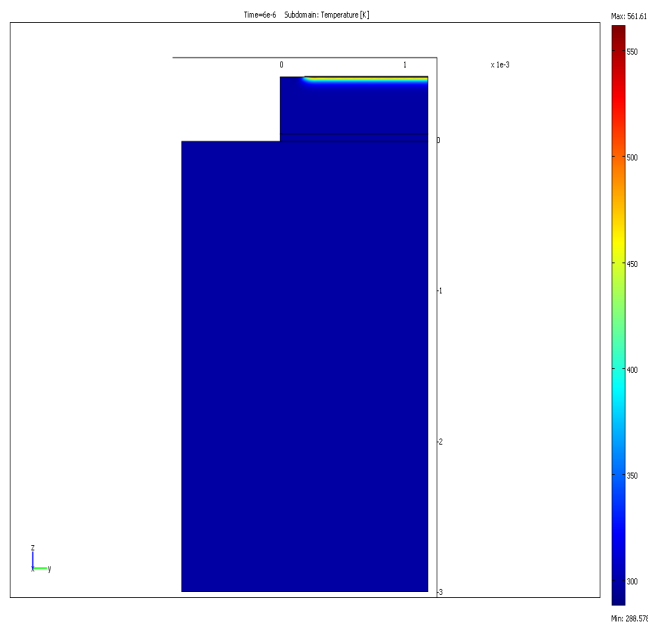


Fig III.20: Résultats de la simulation 3D dans le volume de la puce sans prise en compte de la couche d'aluminium déposée sur la puce, la conductivité thermique et la chaleur spécifique sont considérées variables avec la température, nombre d'éléments vaut 70063, à température ambiante de  $T=25^{\circ}\text{C}$ .





Fig III.21 : Zoom sur la partie de la puce concerné par l'échauffement

Les résultats de simulation montrent après  $6 \mu\text{s}$  d'injection de puissance une diffusion de la température sur une très faible épaisseur du cristal SiC, tant en profondeur que de façon latérale. Ce résultat montre que dans le cas de phases de court-circuit de faible durée, un modèle 3D n'est pas nécessaire. Pour simplifier l'étude, on ne considèrera maintenant qu'un modèle 1D. différents modèles 1D ont été étudiés nous les présentons ci-dessous.

### III.5. Modèle unidimensionnel :

Dans un premier temps, seule la puce a été modélisée. Nous avons considéré la surface totale de la puce comme surface d'injection de puissance ou la seule surface active, avec ou sans couche de métallisation sur la puce.

Dans le cas où l'on ne considère pas la surface de métallisation, les conditions suivantes ont été imposées :

- barreau de SiC de longueur  $380 \mu\text{m}$ , avec une surface totale de  $5.76 \text{mm}^2$  pour la puce 15 A lorsque la surface totale est prise comme surface d'injection de puissance
- Les conditions aux limites qu'on impose sur les deux frontières sont :

Au point1 : un flux de chaleur adiabatique qui représente la puissance surfacique en  $\text{W/m}^2$

Au point2 : une température imposée qui varie sur une plage allant de  $25$  à  $350 \text{ }^\circ\text{C}$ .

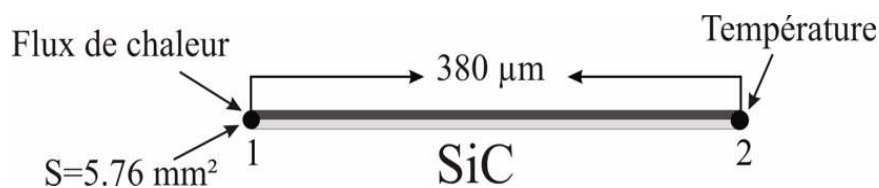


Fig : III.22 : Modèle unidimensionnel de la puce sans la couche d'aluminium avec la surface totale comme surface d'injection de puissance

Les paramètres thermiques et physiques de la puce ont été dans un premier temps considérés constants mais nous avons également tenu compte des variations de la conductivité thermique et de la chaleur spécifique avec la température. Le tableau suivant récapitule ces différents paramètres pour le SiC et l'aluminium:

Tableau III.6 : variation des paramètres thermiques avec la température.

	à 27°	Variation avec la température T	Al
Conductivité thermique (W.m <sup>-1</sup> .K <sup>-1</sup> )	380	$\lambda(T) = [-0.003+1.05.10^{-5}.T]^{-1}$	160
Densité (kg.m <sup>-3</sup> )	3215	3215	2700
Chaleur spécifique (J.kg <sup>-1</sup> .K <sup>-1</sup> )	671	$c(T)=925.65+0.3772T-7.9254.10^{-5}T^2-3.1946.10^{-7}T^3$	900

Dans le cas où la couche d'aluminium est prise en compte dans la simulation thermique, les conditions aux limites se trouvent changées. La figure ci-dessous résume les conditions aux limites, pour une surface d'injection de puissance choisie égale cette fois à la surface active de la puce (4 mm<sup>2</sup> pour la puce 15A). L'épaisseur de SiC considéré est toujours de 380µm, et celle d'aluminium de 3µm.

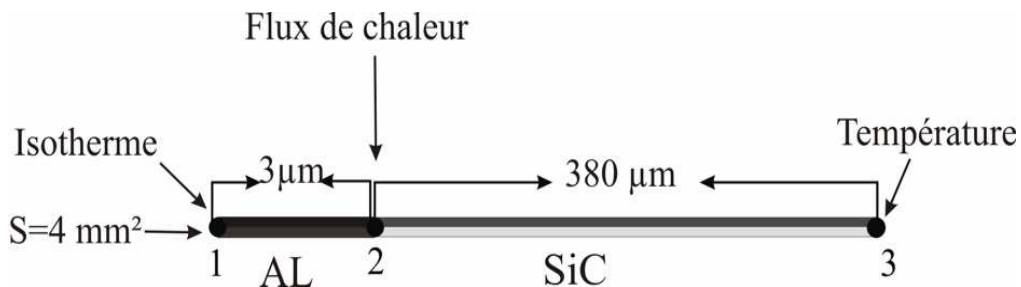


Fig : III.23 : Modèle unidimensionnel de la puce avec la couche d'aluminium

Comme nous l'avons indiqué ci-dessus on obtient maintenant trois conditions aux limites. La première (indiquée par un point1) est considérée adiabatique (pas d'évacuation de chaleur sur la surface supérieure d'aluminium), la deuxième qui est un point entre les deux couches (point2) est le point d'injection de chaleur (source de puissance, sur la surface active de la puce dans ce cas), et la troisième frontière représentée par le (point3) est isotherme, température ambiante qui varie de 25°C à 350 °C. La température dans ce modèle est prélevée au point 2, point le plus chaud.

## IV. Simulation thermique:

Différentes simulations ont été effectuées (seule la puce SiC a été simulée, en tenant compte parfois de la métallisation d'aluminium) et de la variation ou non de la conductivité thermique et de la chaleur spécifique en fonction de la température.

Dans cette partie nous présenterons des résultats de simulation en 1D. Nous vérifierons également que pour de faibles durées d'injection de puissance, à cause de la diffusion limitée de la température dans le cristal, une modélisation 1D est tout à fait suffisante.

Dans un premier temps, nous considérerons constantes (indépendantes de la température) les valeurs de conductivité thermique et de chaleur spécifique du SiC. Dans un deuxième temps nous prendrons en compte les évolutions des paramètres thermiques, avec la température [1], pour deux surfaces de SiC (surface active et surface totale) sur lesquelles sont appliquées la puissance dissipée (issue des résultats expérimentaux), et en considérant ou non la métallisation d'aluminium.

Nous montrerons que les niveaux élevés de température en fin d'injection de puissance nécessitent impérativement la prise en compte de la variation de ces grandeurs physiques avec la température.

### IV.1. Résultats de simulation

#### IV.1.1. Résultats de simulation en 1D :

Pour avoir une idée sur le temps de réponse thermique du modèle nous avons pris en compte le régime dynamique dans l'hypothèse d'un flux de chaleur unidimensionnel. Cela peut être obtenu en discrétisant la puce par un réseau de cellules RC de résistances thermiques et de capacités thermiques.

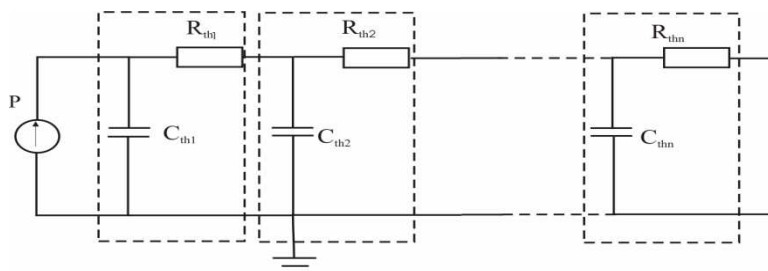


Fig III.24: Modèle thermique 1D simplifié

La résistance thermique  $R_{th}$  désigne la résistance thermique de la puce (SiC) considéré  
 $C_{th}$  désigne la capacité thermique totale de la puce:

$$R_{th} = \frac{e}{\lambda.S} \quad (III-19)$$

$e$  : épaisseur de la puce;

$S$  : section de la puce ;

$\lambda$  conductivité thermique du SiC; ( $W.m^{-1}.K^{-1}$ ).

(III-20)

$$C_{th} = \rho.c_p.S.e$$

$c_p$  : la chaleur spécifique du SiC; ( $J.kg.K^{-1}$ ).

En calculant les valeurs de  $R_{th}$  et  $C_{th}$  on obtient la constante de temps thermique :

$$\tau_{th} = C_{th}.R_{th} \quad (III-21)$$

$$\tau_{th} = \frac{c_p.\rho.e^2}{\lambda} \quad (III-22)$$

On trouve une constante de temps thermique  $\tau_{th}$  de l'ordre de  $815\mu s$ .

Dans ce cas tant que la durée d'injection de puissance est faible devant cette constante de temps thermique, on peut conclure que seule la puce sera concernée par l'élévation de température (le reste de l'assemblage ne verra pas sa température évoluer). Ce qui nous permet de conclure que le fait de travailler sur des temps d'essais en court-circuit faibles, de l'ordre de  $6\mu s$ , très largement inférieurs à la constante de temps thermique nous permet de choisir et d'utiliser le modèle 1D au lieu du modèle 3D.

La figure suivante montre l'élévation de température dans la puce lors d'une phase d'injection de puissance de  $6\mu s$ . Seule une épaisseur de  $80\mu m$  de SiC est concernée par l'élévation de température. Cette faible épaisseur ayant chauffé justifie la modélisation 1D ne tenant compte que de la puce SiC (éventuellement celle de la couche d'aluminium) et justifie également le choix de la surface active de la puce comme surface d'injection de puissance (diffusion latérale de la température négligée).

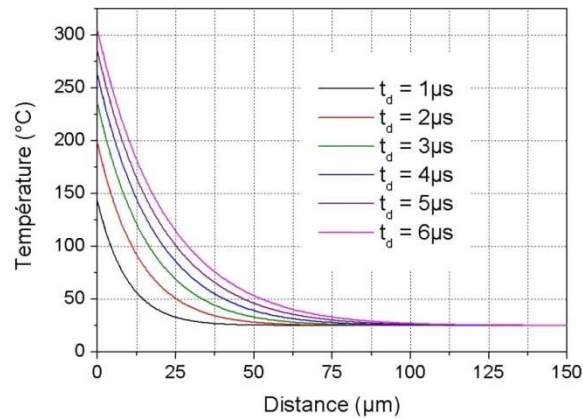


Fig III.25 Résultats de simulation thermique, évolution de la température dans la puce fonction de la durée de court-circuit

(Modèle 1D avec Al et surface active  $S=4\text{mm}^2$ ,  $E = 400\text{V}$ ,  $T_{\text{CASE}} = 25^\circ\text{C}$ )

Nous avons aussi comparé les résultats de simulation 1D et 3D dans les deux conditions :

-avec Al, surface active comme surface d'injection de puissance, conductivité thermique et chaleur spécifique variable avec la température.

-sans Al, surface active comme surface d'injection de puissance, conductivité thermique et chaleur spécifique variable avec la température.

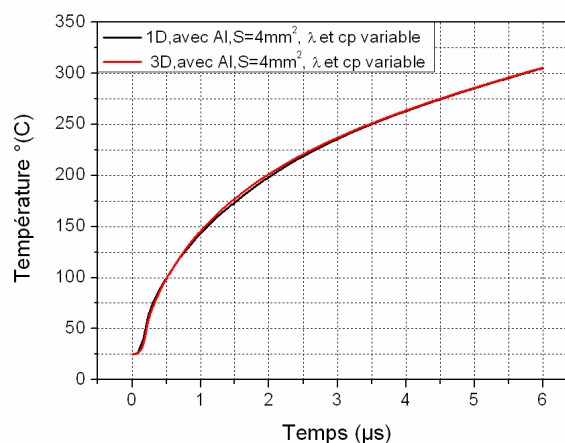


Fig 26: Résultats de simulation 1D et 3D, avec prise en compte de la couche d'Aluminium déposée sur la puce,  $S= 4\text{mm}^2$ , de surface active d'injection de puissance, conductivité thermique et chaleur spécifique variable avec la température.

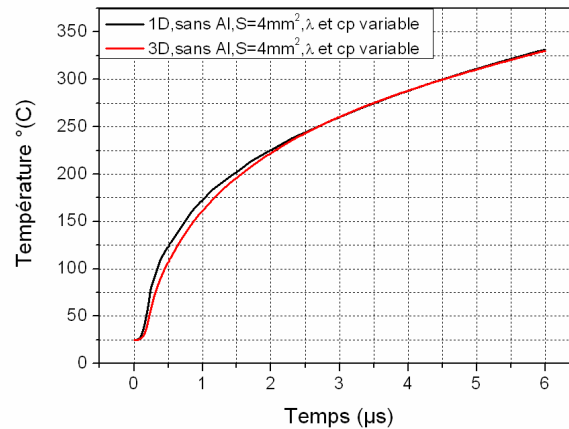


Fig 27: Résultats de simulation 1D et 3D, sans prise en compte de la couche d'Aluminium déposée sur la puce,  $S=4\text{mm}^2$  de surface active d'injection de puissance, conductivité thermique et chaleur spécifique variable avec la température.

Les résultats 1D et 3D sont semblables et justifient à nouveau notre choix du modèle 1D pour la suite des simulations de courte durée.

#### IV.1.1.1. Choix de la surface de dissipation :

Dans un premier temps nous comparerons des résultats de simulation en considérant les hypothèses suivantes :

- conductivité thermique et chaleur spécifique indépendantes de la température  $\lambda=380\text{ W.m}^{-1}.\text{K}$  et  $c_p=671\text{ J.kg}^{-1}.\text{K}^{-1}$ .
- métallisation d'aluminium non représentée

Nous comparerons des résultats de simulation entre une injection de puissance surfacique appliquée sur la surface totale de la puce et sur la surface active aux résultats obtenus pour une simulation 3D.

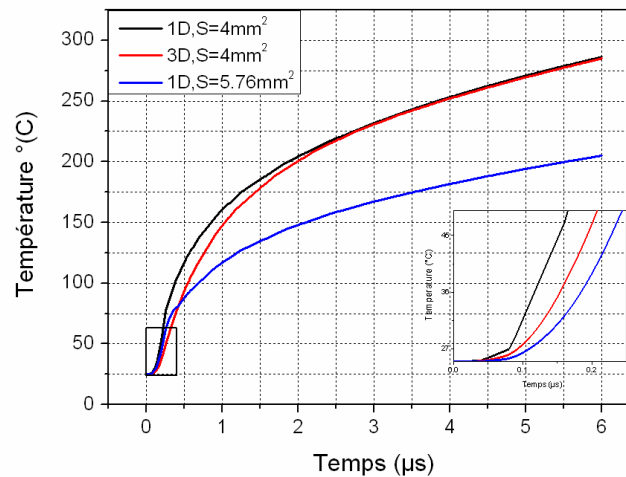


Fig III.28 : comparatif entre les résultats de simulation 1D (surface active ou surface totale prise comme surface d'injection de puissance) et 3D avec la surface active prise comme surface d'injection de puissance

Les résultats de simulation montrent la forte dépendance de la température à la surface d'injection de puissance au niveau de la puce pour une même puissance dissipée (modification de la puissance surfacique pour une même puissance totale). On peut constater que les résultats de simulation 1D obtenus en considérant la surface active de la puce comme seule zone de dissipation de puissance sont très proches de ceux obtenus sur un modèle 3D.

En tenant compte de la surface totale de la puce 5.76 mm<sup>2</sup>, l'injection de la puissance se fait aussi dans la zone périphérique de tenue en tension avec un flux de puissance et donc une élévation de température plus faible. Dans la suite, l'injection de puissance ne sera donc appliquée qu'à la seule surface active de la puce.

#### IV.1.1.2. Prise en compte de l'effet de la température sur la conductivité thermique et la chaleur spécifique :

Dans ce cas nous considérons que la surface de dissipation est la surface active. Nous prenons en compte l'effet de la température sur la conductivité thermique et la chaleur spécifique, mais la couche d'aluminium n'est pas modélisée.

$$\lambda(T) = [-0.003 + 1.05 \cdot 10^{-5} \cdot T]^{-1}; (\text{W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}) \quad [1],$$

$$c_p(t) = 925.65 + 0.3772T - 7.9254 \cdot 10^{-5}T^2 - 3.1946 \cdot 10^{-7}; (\text{J} \cdot \text{K}^{-1} \cdot \text{K}^{-1}) \quad [1],$$

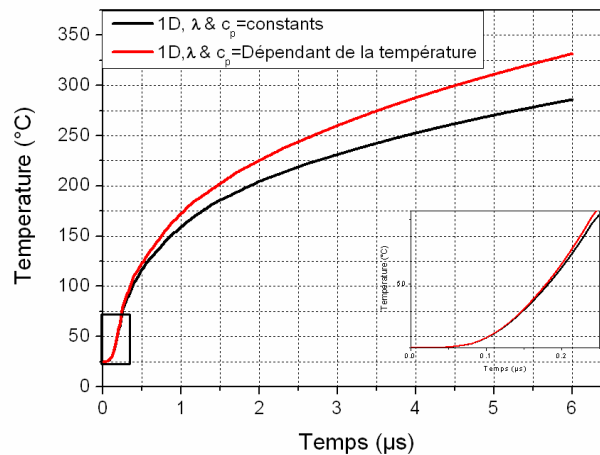


Fig : III.29 : Résultats de simulation 1D montrant l'effet de la prise en compte des variations des propriétés thermique du SiC avec la température.

Les résultats de simulation montrent l'effet de la prise en compte de la variation des paramètres thermiques de la puce avec la température. L'élévation de la température se traduit par une diminution de la conductivité thermique du SiC. Ainsi, la prise en compte de la variation de la conductivité thermique et de la chaleur spécifique avec la température se traduit par des températures calculées considérablement plus élevées.

#### IV.1.1.3. Prise en compte de la couche de métallisation d'aluminium :

Nous avons cette fois considéré l'effet de la présence de la couche d'aluminium, couche de métallisation déposée sur la surface de la puce. L'injection de puissance s'effectue sur la surface active de la puce en SiC, la conductivité thermique et la chaleur spécifique sont fonctions de la température. Par contre, nous n'avons pas pris en compte l'effet de la température sur les propriétés thermiques de la couche de métallisations. Les températures obtenues en fin d'injection de puissance sortant des domaines de validité des modèles existants (température pouvant être dans certains cas supérieure à la température de fusion de l'aluminium).



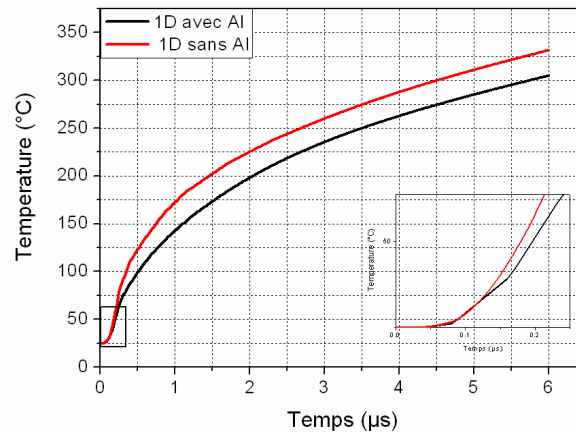


Fig III.30 : Résultats de la simulation 1D avec et sans prise en compte de la couche d'aluminium

On remarque une légère réduction de la température de la puce en ajoutant la couche d'Aluminium. Même si la modélisation de la couche d'aluminium est critiquable (paramètres thermiques indépendants de la température), cette couche sera prise en compte dans les simulations suivantes. L'échauffement de la couche de métallisation nécessite un apport d'énergie de la puce, et explique que les températures calculées soient plus faibles sur de courtes durées d'injection de puissance.

Au final, ces différents résultats de simulations nous ont permis de définir au mieux le modèle 1D que nous utiliserons pour de courtes durées de court-circuit.

## V. Analyse thermique de la phase de court-circuit:

Les résultats obtenus en simulation 1D permettent de suivre l'évolution de la température dans la puce au cours du temps, ils permettent notamment d'estimer la température maximale en fin de régime de court-circuit. En s'appuyant sur les résultats de simulation, on a cherché à relier le courant de saturation à la température du cristal. Pour chaque relevé expérimental obtenu entre 25 et 350°C de température ambiante, nous avons simulé en fonction du temps l'évolution de la température maximale dans le cristal, et nous avons ainsi pu relier la valeur de l'intensité du courant de saturation à la température simulée au point le plus chaud du cristal, pour l'ensemble des températures ambiantes ayant servi à l'obtention des résultats expérimentaux. Ce qui nous a permis d'utiliser le courant de saturation comme indicateur de température.

Ces résultats de simulation montrent une température max. calculée en fin de régime de court-circuit de l'ordre de 304 °C dans le cristal SiC pour une température ambiante de 25 °C (cf. Fig. III.26).

Les résultats expérimentaux de la fig III.26 obtenus sur une large gamme de température ambiante montre également par exemple que le niveau du courant de court-circuit obtenu à température de 25°C, 6µs après l'initiation de la phase de court-circuit correspond aux niveaux de courant atteints en début de court-circuit pour des températures ambiantes comprises entre 300 et 350°C comme indiqué à la figure suivante.

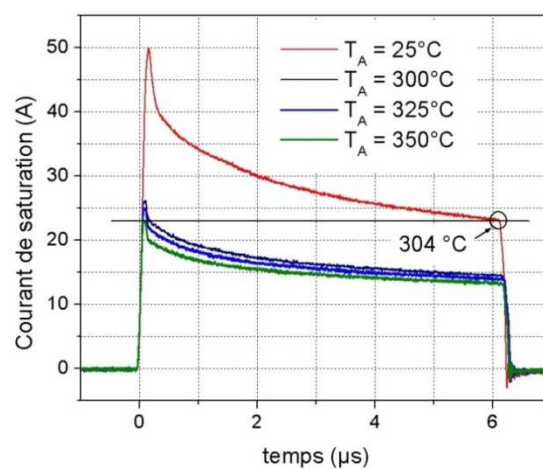


Figure III.31 : Validation de la température du cristal calculée en fin de court-circuit pour une température ambiante de 25°C

La même démarche peut être entreprise pour l'ensemble des résultats de caractérisation obtenus entre 25°C et 350°C.

La surintensité observée lors de la phase d'établissement du courant de court-circuit (due en partie à la charge de la capacité de sortie du transistor JFET lors de l'application de la tension à ses bornes, fig III.26) rend délicate la corrélation directe entre courant et température en tout début de la phase de court-circuit.

Toutefois, et de façon purement qualitative, en reliant directement la température à la valeur maximale du courant obtenu en début de phase de court-circuit, on peut comparer cette estimation de la température du cristal fonction du temps aux résultats des différentes simulations issues (en ce qui concerne la puissance dissipée) des différents résultats expérimentaux voir figure ci-dessous.

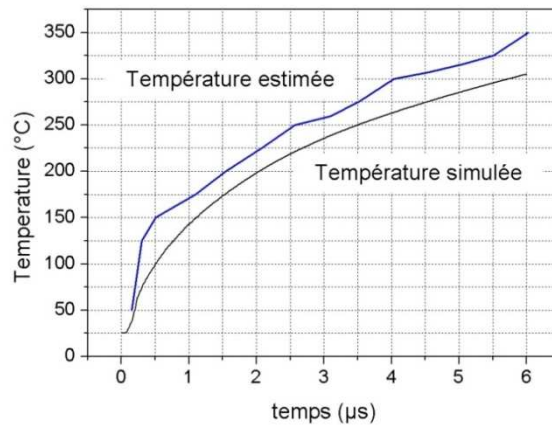


Fig III.32 : Tentative de validation du modèle thermique à partir des résultats de caractérisation électriques

(Température simulée pour un court-circuit à température ambiante de 25°C et  $E = 400V$ )

Une autre façon de chercher à valider la modélisation consiste, par exemple dans le cas d'une température ambiante de 350°C, à estimer les températures atteintes pour le même niveau de courant et différentes températures ambiantes. Les résultats sont présentés sur la figure ci-dessous, et montrent une température estimée à même niveau de courant de saturation variant entre 304 °C et 310 °C.

Là encore, les résultats de la comparaison montrent que la température pouvant être estimée à partir des résultats expérimentaux en prenant le courant de saturation comme indicateur de température et la température simulée sont tout à fait satisfaisantes d'un point de vue qualitatif.

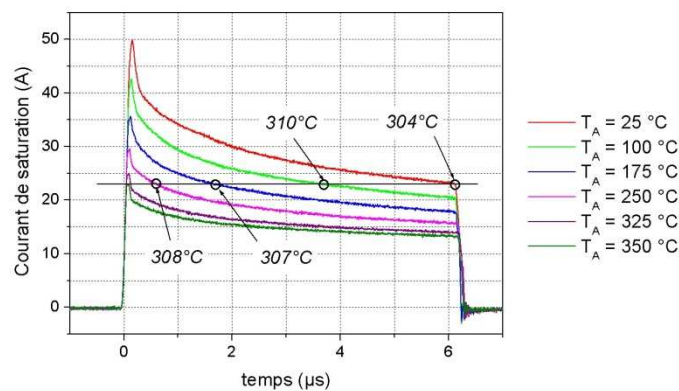


Fig III.33 : Validation du modèle thermique puce 15A

Dans le même cadre nous avons estimé les températures atteintes pour le même niveau de courant et différentes températures ambiantes pour la puce 2A. Les résultats sont présentés sur la figure ci-dessous, et montrent une température estimée à même niveau de courant de saturation variant entre 82.5 °C et 95°C.

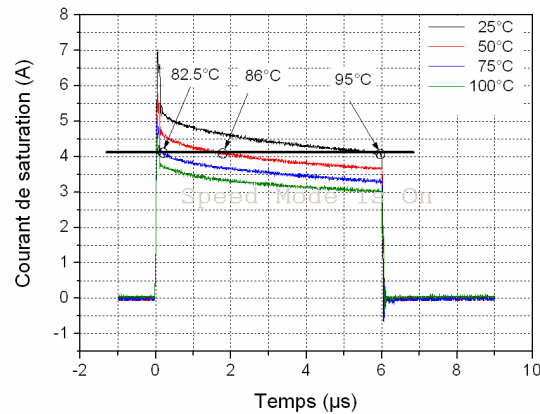


Fig 34 : Validation du modèle thermique puce 2A

Les résultats de la température simulée avec la couche d'Aluminium ont ainsi permis de tracer le courant de saturation en fonction de la température pour les deux puces testées en court-circuit, celle correspondant au JFET SiC 1200V-15A et celle correspondant au JFET SiC 1300V-2A. Ces courbes nous permettent de relier directement la température du point le plus chaud de la puce au courant de saturation.

Les résultats sont indiqués sur les figures ci-dessous qui montrent la variation du courant de saturation en fonction de la température calculée et cela pour l'ensemble des résultats expérimentaux des figures II.20 et II.21.

Les relevés obtenus montrent en début de chaque phase de court-circuit une surintensité (décharge des capacités de sortie du transistor) que nous supprimerons lorsque nous rechercherons un modèle mathématique du courant de saturation avec la température.

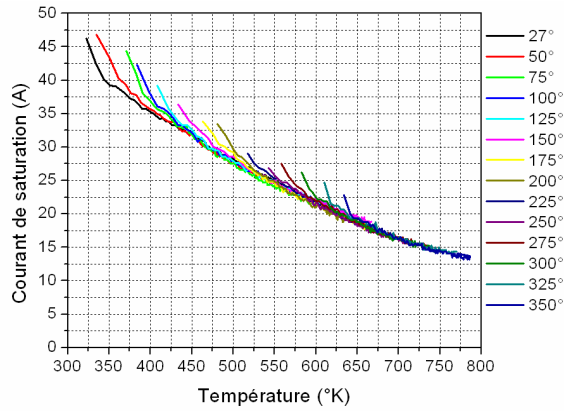


Fig III.35 : Courant de saturation en fonction de la température, JFET SiC 1200V-15A  
( $E = 400V$ )

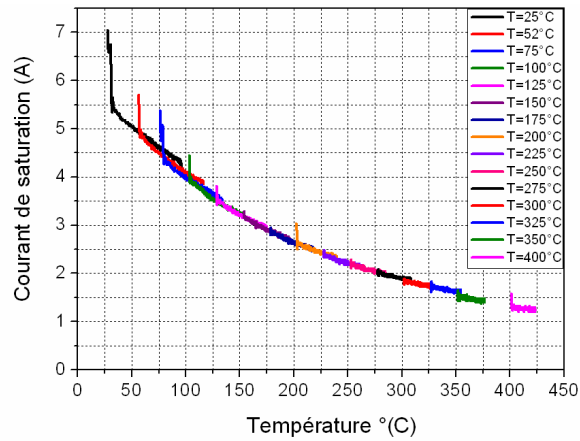


Fig III.36 : Courant de saturation en fonction de la température, JFET SiC 1300V-2A  
( $E = 400V$ )

La variation théorique du courant de saturation avec le niveau de température du type  $I_{SAT}(T) = I_{SAT}(300K) \left( \frac{T}{300} \right)^{-2/4}$  [15], liée à l'influence de la mobilité des porteurs n'est pas satisfaisante.

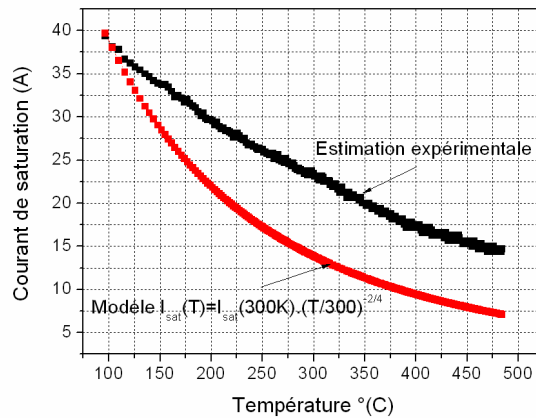


Fig 37 : variation du courant de saturation avec la température modèle liée à l'influence de la mobilité des porteurs, puce 1200V-15A.

Nous avons préféré un modèle mathématique totalement arbitraire sous forme de fonction exponentielle.

Ainsi de façon totalement arbitraire, le modèle de la variation du courant de saturation avec la

température (en degrés Celsius) s'écrit :  $I_{SAT} = I_{SAT_0} \exp\left(-\frac{\theta}{\theta_0}\right)$

Les valeurs de  $I_{SAT_0}$  et  $\theta_0$  sont donnés sur le tableau III.7, pour les deux puces des transistors JFET SiC 1200V-15A et JFET SiC 1300V-2A:

Tableau III.7 : paramètres du modèle du courant de saturation fonction de la température

Paramètre de l'équation	$I_{SAT_0}$ (A)	$\theta_0$ (°C)
JFET-SiC 15A	50	384.17
JFET-SiC 6A	6.28	242

Les modèles des courants de saturation sont représentés sur les figures ci-dessous. Nous les avons comparés aux valeurs expérimentales des courants de saturations obtenus par interpolation et après avoir éliminés les pics de surintensités pour les deux puces JFET-SiC.

Ces modèles nous permettront de relier la valeur de la température de la puce au courant de saturation pour une tension appliquée aux bornes du transistor donnée (400V ici).

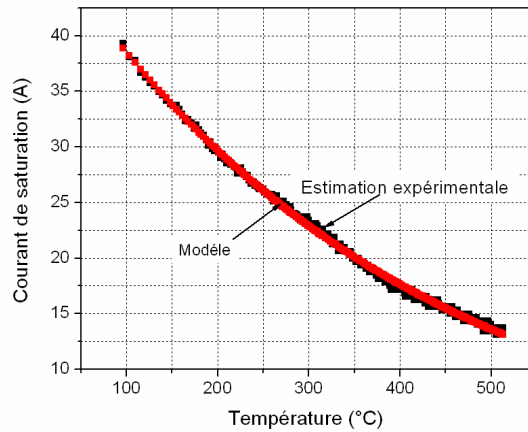


Fig.III.38 : Modélisation de la variation du courant de saturation avec la température  
( $E = 400V$ ) JFET SiC 1200V-15A

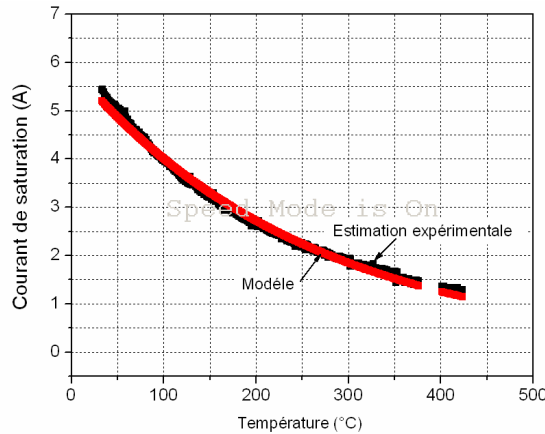


Fig.III.39 : Modélisation de la variation du courant de saturation avec la température  
( $E = 400V$ ) JFET SiC 1300V-2A

### V.1. Estimation de la température maximale au moment de la destruction du composant :

A partir de ces modélisations du courant de saturation avec la température du point le plus chaud du cristal, nous avons estimé la température critique de destruction des deux types de JFET-SiC testés, JFET SiC 1300V-2A et JFET SiC 1200V-15A, nous avons pour cela, utiliser les relevés du courant de saturation après un court-circuit destructif et le modèle du

courant de saturation avec la température  $I_{SAT} = I_{SAT_0} \exp\left(-\frac{\theta}{\theta_0}\right)$

Nous avons cherché à estimer la valeur de la température du cristal pendant cette phase de court-circuit, et notamment la température atteinte en fin de court-circuit, au moment de la défaillance. Les résultats sont indiqués sur la figure ci-dessous.

On estime ici, à partir du modèle obtenu précédemment une température maximale en fin de court-circuit pour le transistor JFET SiC 1200V-15A de l'ordre de 800°C. L'énergie dissipée pendant cette phase est de 2.4 J Ce résultat est à considérer avec beaucoup de prudence, la température de 800°C étant supérieure à celle de fusion de l'aluminium. Pour le JFET SiC 1300V-2A, la température de destruction est estimée à environ 640°C.

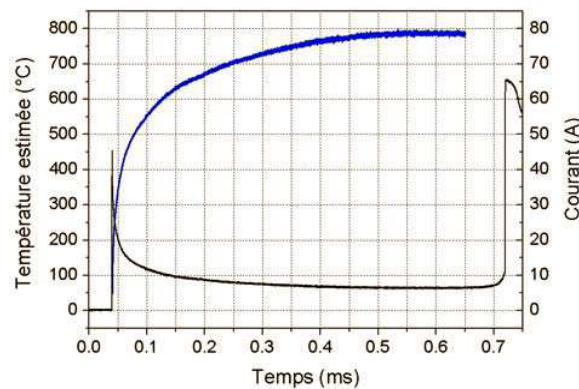


Fig III.40 : Essai destructif en limitation de courant, JFET SiC , Estimation de la température max. dans la puce pendant la phase de court-circuit (JFET 1200V-15A),  $E = 400V$   $T_{CASE} = 25^{\circ}C$

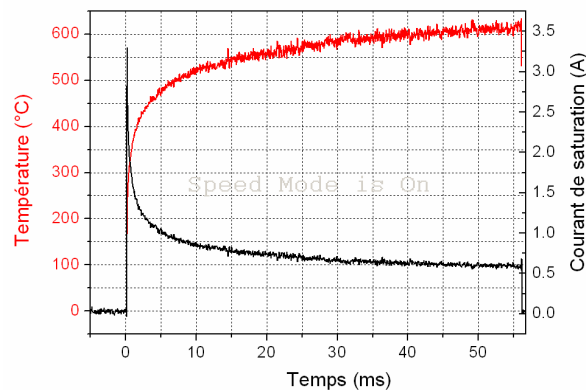


Fig III.41 : Essai destructif en limitation de courant, JFET SiC , Estimation de la température max. dans la puce pendant la phase de court-circuit (JFET 1300V-2A),  $E = 400V$   $T_{CASE} = 25^{\circ}C$



## V.2. Résultats de simulation destructifs (temps long) en 3D :

Pour obtenir les résultats de simulation des essais destructifs, il été nécessaire de modéliser la totalité de la puce (Métallisation (Al), SiC, Brasure (SnAg), Cuivre (Cu)). Pour simplifier la modélisation et réduire le nombre de nœuds de discrétisation nous nous somme limités à simuler le quart de la puce par symétrie. La conductivité thermique et la chaleur spécifique sont considérées dépendantes de la température. L'injection de puissance ce fait au niveau de la surface active de la puce.

Par manque de données sur la Brasure nous l'avons supposée Etain, Argent, les paramètres thermiques sont supposé constants.

Tableau 8 : Dimensions considérées pour le modèle 3D:

Matériaux	Al	SiC	SnAg	Cu
Surface (mm <sup>2</sup> )	4	5.76	5.76	70
Epaisseur (µm)	3	380	50	3000

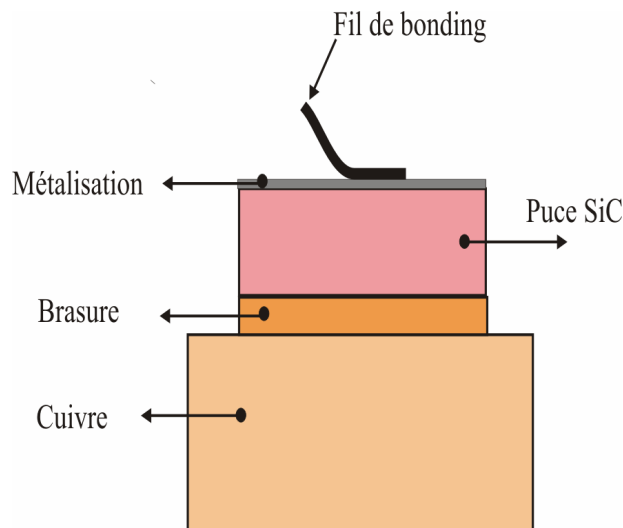


Fig III.42 : Modèle de la puce pour la simulation en temps long

Les résultats de simulations en 3D montrent après 600µs d'injection de puissance une forte diffusion de la température dans le SiC, la brasure, et légèrement dans le cuivre (à l'interface brasure/cuivre).

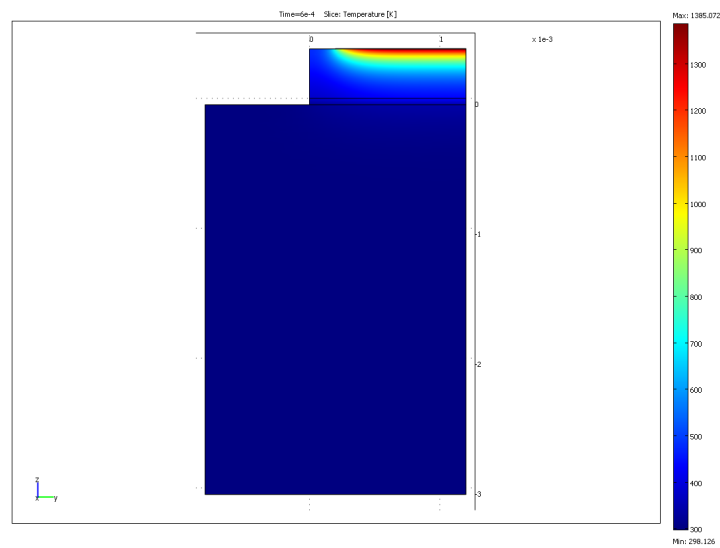
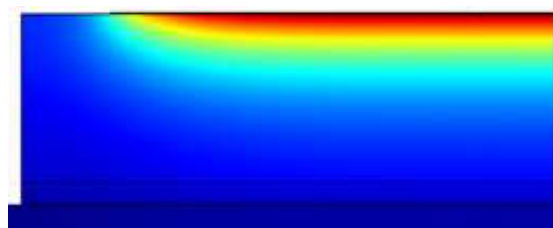


Fig III.43 : Résultats de la simulation 3D du quart de la puce (Al, SiC, Cu, SnAg), prise en compte de la variation de la conductivité thermique et la chaleur spécifique avec la température, 145078 éléments, à 25°C de température ambiante et après 600µs de durée d'injection de puissance.



FigIII.44 : Zoom sur la partie de la puce concerné par l'échauffement.

Les résultats obtenus de la variation de la température dans le volume du modèle 3D ne sont pas loin de celles obtenus en utilisant le modèle 1D.

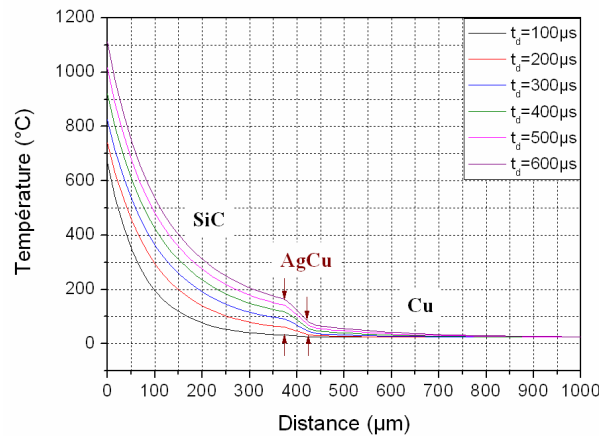


Fig III.45: Résultats de simulation thermique, évolution de la température dans la puce fonction de la durée de court-circuit (Modèle 3D,  $E=400V$ ,  $T_{CASE}=25^\circ$ )

La valeur de la température au moment de la défaillance est estimée à  $1100^\circ C$ , prise au point le plus chaud de la puce. Ces résultats ne sont pas loin des résultats obtenus sur le modèle 1D si nous avons tenus compte du packaging.

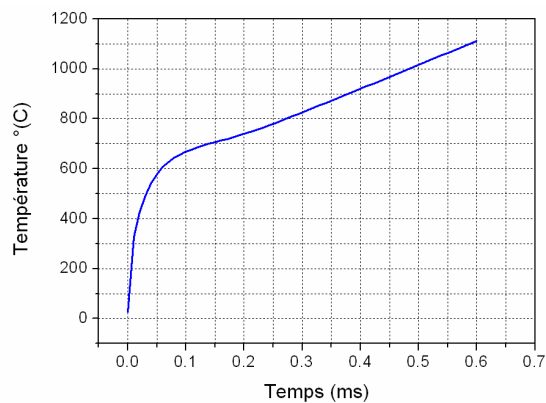


Fig III.46 : Résultats de simulation 3D de la totalité de la puce après  $600\mu s$  d'injection de puissance à  $T=25^\circ C$

Afin de valider notre modèle 3D nous l'avons comparé aux résultats obtenus en utilisant le modèle mathématique du courant de saturation avec la température. Ce modèle à été validé à une température de  $500^\circ C$ , en remarque que les résultats des deux modèles sont identiques. La validation complète du modèle 3D nécessite la connaissance des propriétés thermiques de la brasure du cuivre ainsi le boitier.

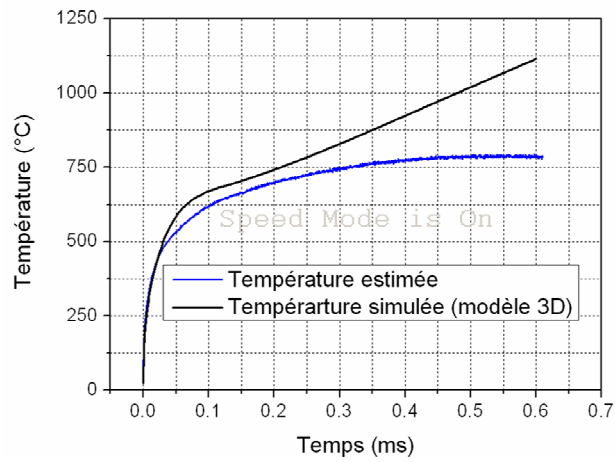


Fig III.47 : Résultats de simulation 3D de la totalité de la puce après 600 $\mu$ s d'injection de puissance à  $T=25^{\circ}\text{C}$

### V.III.Conclusion :

Les différentes modélisations de la puce par une injection de puissance surfacique ( $W/m^2$ ) (cette puissance est obtenue de façon expérimentale par le produit du courant de saturation  $I_{DSAT}$  et de la tension  $V_{DS}$ ), sur la surface active de la puce ont conduit à effectuer des simulations numériques qui nous ont permis d'estimer la température atteinte dans les puces lors des courts-circuits.

Nous avons commencés par un modèle 3D de la puce en SiC, la surface active est prise comme surface de dissipation. Sans tenir compte de la couche d'Al, avec la conductivité thermique et la chaleur spécifique variable. Les résultats de simulation montrent après 6  $\mu s$  d'injection de puissance une diffusion de la température sur une très faible épaisseur du cristal SiC, tant en profondeur que de façon latérale. Ce résultat montre que dans le cas de phases de court-circuit de faible durée, un modèle 3D n'est pas nécessaire.

Pour ce faire, nous avons réalisés un modèle 1D de la puce SiC, Les résultats de simulations 1D dans le volume, ont marqué l'élévation de température dans la puce lors d'une phase d'injection de puissance de 6  $\mu s$ . Seule une épaisseur de 80 $\mu m$  de SiC est concernée par l'élévation de température. Cette faible épaisseur ayant chauffé justifie la modélisation 1D ne tenant compte que de la puce SiC (éventuellement celle de la couche d'aluminium) et justifie également le choix de la surface active de la puce comme surface d'injection de puissance (diffusion latérale de la température négligée).

Afin de définir au mieux le choix du modèle 1D, nous avons commencé par un choix de la surface de dissipation, nous avons comparé des résultats de simulation en considérant les propriétés thermique du SiC constante sans tenir compte de la couche d'Al.

Nous avons comparé des résultats de simulation entre une injection de puissance surfacique appliquée sur la surface totale de la puce et sur la surface active aux résultats obtenus pour une simulation 3D. Ces résultats de simulation 1D obtenus on mener a considérer la surface active de la puce comme seule zone de dissipation de puissance.

Nous avons également montré l'effet de la variation de la conductivité thermique et de la chaleur spécifique, la prise en compte de la variation de la conductivité thermique et de la chaleur spécifique avec la température se traduit par des températures calculées considérablement plus élevées.

Nous avons aussi pris en compte la couche de métallisation déposée sur les puces, sans tenir compte de la variation des paramètres thermiques de l'Aluminium. Nous avons remarqué une légère réduction de la température de la puce en ajoutant la couche d'Aluminium.

Ces différents résultats de simulation obtenus à l'aide du modèle 1D nous ont permis de suivre l'évolution de la température dans la puce au cours du temps. Ils nous ont notamment permis d'estimer la température maximale en fin de régime de court-circuit pour tous les résultats expérimentaux entre 25 et 400°C.

En s'appuyant sur les résultats de simulation et les résultats expérimentaux, nous avons essayé de valider le modèle 1D. Nous avons montré que le niveau du courant de court-circuit obtenu à température de 25°C, 6µs après l'initiation de la phase de court-circuit correspond aux niveaux de courant atteints en début de court-circuit pour des températures ambiantes comprises entre 300 et 350°C. De la même façon la température atteinte en fin de la phase de court-circuit est proche de 350°C.

En suit, on a cherché à relier le courant de saturation à la température du cristal. Cela pour chaque relevé expérimental obtenu entre 25 et 400°C de température ambiante. Ce qui nous a permis d'utiliser le courant de saturation comme indicateur de température. La surintensité observée lors de la phase d'établissement du courant de court-circuit (due en partie à la charge de la capacité de sortie du transistor JFET lors de l'application de la tension à ses bornes) rend délicate la corrélation directe entre courant et température en tout début de la phase de court-circuit.

Les résultats simulés de la température avec prise en compte de la couche d'Aluminium on ainsi conduit à tracer l'évolution du courant de saturation avec la température pour les deux puces testées en court-circuit (JFET SiC 1300V-2A et JFET SiC 1200V-15A). Ces courbes nous permettent de relier directement la température du point le plus chaud de la puce au courant de saturation, et ainsi d'avoir un modèle du courant de saturation avec la température du cristal.

Nous avons choisi comme modèle du courant de saturation avec la température un modèle mathématique totalement arbitraire sous forme de fonction exponentielle. Ce choix été fait après avoir montré que le modèle classique du courant de saturation liée à l'influence de la mobilité des porteurs n'était pas satisfaisant.

A l'aide de ce modèle nous avons cherché à estimer la valeur de la température du cristal pendant cette phase de court-circuit, la température atteinte en fin de court-circuit, et au moment de la défaillance.

La température obtenue au moment de la défaillance pour le JFET SiC 1300V-2A est d'environ 640°C. Elle est de l'ordre de 800°C pour le transistor JFET SiC 1200V-15A. Ce résultat est à considérer avec beaucoup de prudence, la température de 800°C étant supérieure à celle de fusion de l'aluminium.

Enfin, nous avons cherché à valider ces résultats à l'aide d'un modèle 3D cette fois permettant de simuler les phases de longue durée. Les résultats de simulations 3D montrent après 600µs d'injection de puissance une forte diffusion de la température dans le SiC, la brasure, et légèrement dans le cuivre.

Les résultats de simulations 3D ont été comparés aux résultats obtenus à partir du modèle mathématique du courant de saturation avec la température. Par manque de données sur les propriétés thermique de la brasure du cuivre et du packaging le modèle 3D a été validé à une température ambiante de 500°C.

## Bibliographie :

- [1] : P.Friedrichs, Dietrich Stephani ; « Unipolar SiC power devices and elevated temperature. » *Science Direct Microelectronic Engineering* 83 (2006) 181-184.
- [2] : L.Cheng, P.Martin, M.S.Mazzola; V.Bondarenko, H. Causey, J.R.B.Casady, and J.B.Csady; “High-Température Reliability of 4H-SiC vertical-Channel Junction Field-effect Transistors (VJFETs) for Power Conditioning System Applications”.
- [3] : S.Michael.Mazzola, Lin Cheng, Janna Csady, Douglas Seale, Volodymyr Bondarenko, Robin Kelly, and Jeffrey Casady.” *Scalable SiC Switches for Applications in More Electric Vehicules*
- [4] : P.Bhatnagar, A.B.Horsfall, N.G.Wright, C.M.Johnson, K.V.Vassilevski, A.G. O’Neill; “Optimisation of a 4H-SiC enhancement mode power JFET for high temperature operation” *Science Direct, Solid-State Electronics* 49 (2005) 453-458.
- [5] : T.P.Chow: *High-Voltage SiC Devices for Power Electronics Applications-Future Prospects*
- [6] : M.S.Chinthavali, B.Ozpineci, L.M.Tolbert;” *High-Temperature and High-Frequency Performance Evaluation of 4H-SiC Unipolar Power Devices”*
- [7] : A.Bliek, J.Guerin, M.K.Cheikh, M.Tholomier “analyse par simulation du comportement thermique d’un IGBT en court-circuit” EPF 98 Belfort.
- [8] : loi de Fourier  
, « <http://www.sciences.univnantes.fr/physique/perso/blanquet/conducti/11intro/11intro.htm> »  
, cite consulté 23/05/08.
- [9] : Calorimètre, « <http://fr.wikipedia.org/wiki/Calorim%C3%A8tre> », cite consulté le 19/10/08.
- [10] J.Cabrero, « *Mesure de la conductivité thermique à haute température de matériaux irradiés GdR Matinex* » these de doctorat, 2006
- [11]: R.G. Munro, *J. Phys. Chem. Ref. Data* 26 (1997) 1195.



- [12] : M.A. Pickering, R.L. Tylor, J.T. Keeley, G.A. Graves, *Nucl. Instrum. And Mth. A* 29151990° 95.
- [13] : L.S. Sigl, *J. Eur. Ceram.Soc.* 23 (2003) 1115.
- [14] : W.J. Parker, Jenkins, C.p. Bulter and G.L. Abott, *Flash methode of determining thermal diffusivity, heat capacity and thermal conductivity. J. Appl.Phys.* 32 (1961), pp. 1679-1684.
- [15] : Kim, Y. W., Mitomo, M., Emoto, H. and Lee, J. G., *Effect of initial  $\alpha$ -phase content on microstructure and mechanical properties of sintered silicon carbide. J. Am. Ceram. Soc.,* 1998, 81,3136–3140.
- [16] : Kim, Y. W., Kim, J. K., Rhee, S. H. and Kim, D. Y., *Effect of initial particle size on microstructure of liquid phase sintered  $\alpha$ -silicon carbide. J. Eur. Ceram. Soc.,* 2000, 20, 945–949.
- [17] : Schwetz, K. A., *Silicon carbide based hard materials. In Handbook of Ceramic Materials, ed. R. Riedel. Wiley-VCH, Weinheim, 2000, pp. 683–740.*
- [18] : J. Li, L. Poter, S. Yip, *J. Nucl. Mater.* 255 (1998) 139.
- [19] : R.E. Taylor, H. Groot, J. Frrier, *Thermophysical Proprieties of CVD SiC, TRPL 1336, Thermophysical Proprieties Research Laboratory Repport, School of Mechanical Engineering, Purdue University, November 1993.*
- [20] : D.J. Senior, G.E. Youngblood, C.E. Moore, D.J. Trimble, G.A. Newsome, J.J. Woods, *Fusion Technol.* 30 (1996) 943.
- [21] : M.S. Green, *J. Chem. Phys.* 22\_1954.398.
- [22] : R. Kubo, *Rep. Prog. Phys.* 29\_1986.255.
- [23] : Lance L. Snead, Takashi. Nozawa, Yutai Katoh, *Journal of Nuclear Materials* 371 (2007) 329-377.
- [24] : R.G. Munro, *J. Phys. Chem. Ref. Data* 26 (1997) 1195.
- [25] : M.E. Schlesinger, in: S.J. Schneider Jr. (Ed.), *Engineered Materials Handbook, Ceramics and Glasses, vol. 4, ASM Internatinal, Metals Park, Ohio, 1991, p. 883.*
- [26] : *Zur Theorie der spezifischen Warmen, Annalen der Phusik* 39(4), p. 789 (1912).

[27] : L. V. Gurvich, I.V. Veyts, *Thermodynamic Proprieties of Individual Substances*, Hemisphere Publishing Corporatio, New York, 1972.

[28] : D. Singh; Y. P. Varshni, *Acta Cryst. A38 (1982) 854*.

[29] : A.K. Collins, M.A. Pickering, R.L. Taylor, *J. Appl. Phys. 68 (1990) 6510*.

[30] : *Product sheet from Rohm and Haas Co.*, <<http://www.cvdmaterials.com/sicprop2.htm>>.

[31] : S. G. A. Ammous, B. Allard and H. Morel, "Choosing a Thermal Model for Eiectrothermal Simulation of Power Semiconductor Devices," *IEEE traNSACTICINS ON Power electronics*, vol. 14, 1999.

## **Conclusion générale :**

L'ensemble des travaux réalisés dans cette thèse nous ont menés à développer un certain nombre d'outils et de méthodes afin d'évaluer le fonctionnement des deux puces des transistors JFET-SiC 2A-1300V et le JFET-SiC 15A-1200V en limiteurs de courant et leurs capacité à fonctionner dans des conditions extrêmes en court-circuit en température élevées.

Le banc de test électrique nous à permis dans un premier temps d'évaluer la variation du courant de saturation des deux transistors JFETs à différentes tension d'alimentations pour une température ambiante de 25°C. Les courbes obtenues à ces conditions présentent un point d'intersection situé au début de la phase de court-circuit, après le régime transitoire. A cet instant, l'échauffement due à la dissipation de puissance est négligeable et donc la puce est a la même température quelque soit la tension appliquée. Cela, laisse supposer une faible dépendance du courant de saturation à la tension pour une même température du cristal.

Dans un second temps, nous avons associés un banc de test thermique à un banc électrique pour caractérisés les deux transistors JFET-SiC 2A-1300V et le JFET-SiC 15A-1200V en régime de limitation de courant pour une faible tension d'alimentation ( $E=50V$ ) à température ambiante variant de -60°C à 230°C. Les durées de court-circuit ont été réduite (inférieur à 10 $\mu$ s) afin de limiter l'auto-échauffement de la puce.

L'évolution du courant de saturation en fonction de la température pour les deux transistors, relevé 0.5 $\mu$ s après la mise en conduction, à faible tension a montré pour le JFET-SiC 2A, une forte dépendance du courant de saturation avec la température et une dépendance moins marquante avec le JFET-SiC-15A.

Nous avons poursuivis les caractérisations de la variation du courant de saturation avec la température mais pour une tension élevée  $E=400V$ , en plaçant les transistors JFETs (en régime de limitation de courant) dans un flux d'air dont la température varie entre 25°C à 400°C. La limitation de courant est assurée même à autre température et haute tension.

Le transistor JFET-SiC 2A-600V, la limitation du courant de saturation est assuré mais le courant de saturation est relativement constant en fonction de la température, ce qui nous à laissés supposé que l'échauffement de la puce de celui-ci est négligeable. Le JFET-SiC 15A-1200V à présenté une diminution du courant de saturation en fonction de la température. Cette observation peut être expliquée par un échauffement de la puce. De même la phase de limitation à été assuré par ce transistor après une phase transitoire de quelque nanoseconde

liée à l'application de la tension aux bornes du JFET, qui génère une surintensité lors de la capacité de sortie du transistor

L'objectif étant de déterminer l'aptitude des deux transistors à assurer la phase de limitation et leurs capacités à pouvoir dissipé de fortes énergies, des essais destructifs en court-circuit de longue durée ont été effectués sur les deux transistors précédemment cités. La défaillance du transistor JFET-SiC 2A a apparue après 56ms de durée de court-circuit et une énergie dissipée de 14.3J qui correspond à environ  $622\text{J}/\text{cm}^2$  de surface active.

Alors que pour le transistor JFET-SiC 15A la défaillance apparait après  $679\mu\text{s}$  de durée de court-circuit qui correspond à 4.07J (environ  $100\text{J}/\text{cm}^2$  de surface active). A travers ces résultats d'essais destructifs nous avons pu conclure que le transistor JFET 2A est plus robuste que le transistor JFET 15A en comparant la quantité d'énergie dissipé par chacun.

Pour compléter et vérifier les résultats expérimentaux, nous avons réalisé des simulations numériques qui nous ont permis d'estimer la température atteinte dans les puces lors des courts-circuits. Pour se faire, un modèle d'injection de puissance surfacique (Cette puissance est obtenue de façon expérimentale par le produit du courant de saturation  $I_{\text{DSAT}}$  et de la tension  $V_{\text{DS}}$ ) a été réalisé pour chaque température ambiante de la semelle pour les deux puces testés.

Les résultats de simulations du modèle 3D ont abouties à une dissipation de la puissance surfacique, qui nous a permis de choisir le modèle 1D pour de faibles durées d'injection.

Dans le modèle 1D nous avons tenue compte de la surface active comme surface de dissipation de puissance, la variation de la conductivité thermique et de la chaleur spécifique, et la prise en compte de la couche d'Al.

Les résultats obtenus en simulation 1D permettent de suivre l'évolution de la température dans la puce au cours du temps. Ils permettent notamment d'estimer la température maximale en fin de régime de court-circuit. En s'appuyant sur les résultats de simulation, on a cherché à relier le courant de saturation à la température du cristal. Cela pour chaque relevé expérimental obtenu entre 25 et  $4000^\circ\text{C}$  de température ambiante. Ce qui nous a permis d'utiliser le courant de saturation comme indicateur de température.

La surintensité observée lors de la phase d'établissement du courant de court-circuit (due en partie à la charge de la capacité de sortie du transistor JFET lors de l'application de la tension à ses bornes) rend délicate la corrélation directe entre courant et température en tout début de la phase de court-circuit.

Les résultats de la température simulée avec la couche d'Aluminium ont ainsi permis de tracer le courant de saturation en fonction de la température pour les deux puces testées en court-circuit, celle correspondant au JFET SiC 1300V-2A et celle correspondant au JFET SiC 1200V-15A. Ces courbes nous permettent de relier directement la température du point le plus chaud de la puce au courant de saturation.

Nous avons choisi comme modèle de liant du courant de saturation avec la température un modèle mathématique totalement arbitraire sous forme de fonction exponentielle. Ce choix a été fait après avoir montré que le modèle du courant de saturation lié à l'influence de la mobilité des porteurs n'est pas satisfaisante.

A l'aide de ce modèle nous avons cherché à estimer la valeur de la température du cristal pendant cette phase de court-circuit, la température atteinte en fin de court-circuit, et au moment de la défaillance.

La température obtenue au moment de la défaillance pour le JFET SiC 1300V-2A, la température de destruction est d'environ 640°C. Et pour le transistor JFET SiC 1200V-15A de l'ordre de 800°C. Ce résultat est à considérer avec beaucoup de prudence, la température de 800°C étant supérieure à celle de fusion de l'aluminium.

En fin, nous avons trouvés que c'était judicieux de modéliser la totalité de la puce pour déterminer la température de la puce au moment de la défaillance. Les résultats de simulations 3D pour la totalité de la puce ont été comparés à celles trouvés en utilisant le modèle du courant de saturation fonction de la température. La présence de la brasure et le cuivre laisse la température prendre une autre allure après 500°C, ce qui limite la validité du modèle 3D.

Ces travaux de simulations ne pourront pas apporter toutes les réponses, ils devront être complétés par des simulations de la totalité puce en tenant compte aussi du packaging. Cette perspective est d'autant plus importante pour valider au mieux notre modèle du courant de saturation fonction de la température.